

Docket No.: 57810-097

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Koji HIROSAWA	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: March 30, 2004	:	Examiner: Unknown
	:	
For: DISPLAY	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-186036, filed June 30, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Arthur J. Steiner
Registration No. 26,106

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 AJS:tlb
Facsimile: (202) 756-8087
Date: March 30, 2004

57810-097
HIROSAWA
March 30, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 3 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 8 6 0 3 6
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 8 6 0 3 6]

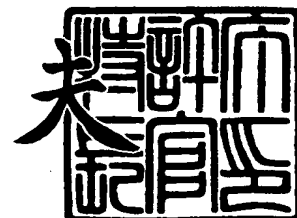
出 願 人 三 洋 電 機 株 式 会 社
Applicant(s):



2 0 0 4 年 2 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 4 5 8 3

【書類名】 特許願

【整理番号】 KNB1030006

【提出日】 平成15年 6月30日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/20

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
三洋電機株式会社内

【氏名】 広沢 考司

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100104433

【弁理士】

【氏名又は名称】 宮園 博一

【手数料の表示】

【予納台帳番号】 073613

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0001887

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】 画素に映像信号を供給する複数のドレイン線を順次駆動するための複数段のシフトレジスタ回路と、

前記複数段のシフトレジスタ回路の動作開始側に設置され、前記ドレイン線に接続されない複数段の第 1 ダミーシフトレジスタ回路とを備え、

前記シフトレジスタ回路および前記第 1 ダミーシフトレジスタ回路は、

第 1 電位側に接続された第 1 導電型の第 1 トランジスタと、第 2 電位側に接続された第 1 導電型の第 2 トランジスタと、前記第 1 トランジスタのゲートと前記第 2 電位との間に接続され、前記第 2 トランジスタがオン状態のときに、前記第 1 トランジスタをオフ状態にするための第 1 導電型の第 3 トランジスタとを有する第 1 回路部を含むことを特徴とする表示装置。

【請求項 2】 前記複数段のシフトレジスタ回路の動作開始側とは反対側に設置され、前記ドレイン線に接続されない第 2 ダミーシフトレジスタ回路をさらに備えることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】 前記複数段の第 1 ダミーシフトレジスタ回路の初段には、スタート信号が入力されることを特徴とする請求項 1 または 2 に記載の表示装置。

【請求項 4】 少なくとも前記第 1 トランジスタ、前記第 2 トランジスタおよび前記第 3 トランジスタは、p 型の電界効果型トランジスタであることを特徴とする請求項 1 ～ 3 のうちいずれか 1 項に記載の表示装置。

【請求項 5】 前記第 1 トランジスタのゲートとソースとの間には、第 1 容量が接続されていることを特徴とする請求項 1 ～ 4 のうちいずれか 1 項に記載の表示装置。

【請求項 6】 前記第 3 トランジスタは、互いに電氣的に接続された 2 つのゲート電極を有することを特徴とする請求項 1 ～ 5 のうちいずれか 1 項に記載の表示装置。

【請求項 7】 前記第 1 トランジスタは、クロック信号に応答してオンすることを特徴とする請求項 1 ～ 6 のうちいずれか 1 項に記載の表示装置。

【請求項 8】 前記第 1 トランジスタのゲートと、クロック信号を供給するクロック信号線との間に接続され、ダイオード接続された第 4 トランジスタをさらに備えることを特徴とする請求項 1～7 のうちいずれか 1 項に記載の表示装置。

【請求項 9】 前記ダイオード接続された第 4 トランジスタは、互いに電氣的に接続された 2 つのゲート電極を有することを特徴とする請求項 8 に記載の表示装置。

【請求項 10】 前記第 1 回路部は、前記第 1 トランジスタのゲートと、クロック信号を供給するクロック信号線との間に接続され、前記第 3 トランジスタがオフ状態のときにオン状態となる信号に応答してオンする第 1 導電型の第 5 トランジスタをさらに含むことを特徴とする請求項 1～8 のうちいずれか 1 項に記載の表示装置。

【請求項 11】 前記第 1 回路部は、前記第 1 トランジスタのゲートに接続され、第 1 の信号に応答してオンする第 1 導電型の第 4 トランジスタと、前記第 4 トランジスタと前記第 1 電位との間に接続され、前記第 1 の信号がオン状態のときにオフ状態になる第 2 の信号に応答してオンする第 1 導電型の第 5 トランジスタとを有することを特徴とする請求項 1～6 のうちいずれか 1 項に記載の表示装置。

【請求項 12】 前記第 1 トランジスタのソースと、前記第 4 トランジスタおよび前記第 5 トランジスタの接続点との間には、第 2 容量が接続されていることを特徴とする請求項 11 に記載の表示装置。

【請求項 13】 画素に映像信号を供給する複数のドレイン線を順次駆動するための複数段のシフトレジスタ回路と、

前記複数段のシフトレジスタ回路の動作開始側とは反対側に設置され、前記ドレイン線に接続されないダミーシフトレジスタ回路とを備え、

前記シフトレジスタ回路および前記ダミーシフトレジスタ回路は、

第 1 電位側に接続された第 1 導電型の第 1 トランジスタと、第 2 電位側に接続された第 1 導電型の第 2 トランジスタと、前記第 1 トランジスタのゲートと前記第 2 電位との間に接続され、前記第 2 トランジスタがオン状態のときに、前記第

1 トランジスタをオフ状態にするための第1導電型の第3トランジスタとを有する第1回路部を含むことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、表示装置に関し、特に、シフトレジスタ回路を備えた表示装置に関する。

【0002】

【従来の技術】

従来、負荷抵抗を有する抵抗負荷型のインバータ回路が知られている（たとえば、非特許文献1参照）。

【0003】

また、従来、上記非特許文献1に開示された抵抗負荷型のインバータ回路を備えたシフトレジスタ回路が知られている。なお、シフトレジスタ回路は、たとえば、液晶表示装置や有機EL表示装置のゲート線やドレイン線を駆動する回路に用いられる。図13は、従来の抵抗負荷型のインバータ回路を備えたシフトレジスタ回路の回路図である。図13を参照して、従来の1段目のシフトレジスタ回路104a1は、第1回路部104b1と第2回路部104c1とによって構成されている。また、シフトレジスタ回路104a1の次段のシフトレジスタ回路104a2は、第1回路部104b2と第2回路部104c2とによって構成されている。

【0004】

第1回路部104b1は、nチャネルトランジスタNT101およびNT102と、容量C101と、抵抗R101とを備えている。以下、本従来技術の説明においてはnチャネルトランジスタNT101、NT102およびNT103は、それぞれ、トランジスタNT101、NT102およびNT103と称する。トランジスタNT101のドレインにはスタート信号STが入力されるとともに、ソースはノードND101に接続されている。このトランジスタNT101のゲートにはクロック信号線CLK1が接続されている。また、トランジスタNT

102のソースは負側電位(VSS)に接続されているとともに、ドレインは、ノードND102に接続されている。また、容量C101の一方の電極は負側電位(VSS)に接続されているとともに、他方の電極はノードND101に接続されている。また、ノードND102と正側電位(VDD)との間には抵抗R101が接続されている。トランジスタNT102と抵抗R101とによってインバータ回路が構成されている。

【0005】

また、1段目のシフトレジスタ回路104a1の第2回路部104c1は、トランジスタNT103と、抵抗R102とからなるインバータ回路により構成されている。トランジスタNT103のソースは負側電位(VSS)に接続されているとともに、ドレインはノードND103に接続されている。また、トランジスタNT103のゲートは第1回路部104b1のノードND102に接続されている。また、ノードND103と正側電位(VDD)との間には抵抗R102が接続されている。また、ノードND103から1段目のシフトレジスタ回路104a1の出力信号SR1が出力される。また、ノードND103には2段目のシフトレジスタ回路104a2の第1回路部104b2が接続されている。

【0006】

また、2段目以降のシフトレジスタ回路も上記した1段目のシフトレジスタ回路104a1の構成と同様に構成されている。なお、後段のシフトレジスタ回路の第1回路部は、前段のシフトレジスタ回路の出力ノードに接続されるように構成されている。

【0007】

図14は、図13に示した従来のシフトレジスタ回路のタイミングチャートである。次に、図13および図14を参照して、従来のシフトレジスタ回路の動作について説明する。

【0008】

まず、初期状態として、Lレベルのスタート信号STが入力されている。そして、スタート信号STをHレベルにした後、クロック信号CLK1をHレベルにする。これにより、1段目のシフトレジスタ回路104a1の第1回路部104

b1のトランジスタNT101のゲートにHレベルのクロック信号CLK1が供給されるので、トランジスタNT101がオン状態となる。このため、トランジスタNT102のゲートにHレベルのスタート信号STが供給されるので、トランジスタNT102がオン状態となる。これにより、ノードND102の電位がLレベルに降下するので、トランジスタNT103がオフ状態となる。これにより、ノードND103の電位が上昇するので、1段目のシフトレジスタ回路104a1から出力信号SR1としてHレベルの信号が出力される。このHレベルの信号は、2段目のシフトレジスタ回路104a2の第1回路部104b2にも供給される。なお、クロック信号CLK1がHレベルである期間には容量C101にHレベルの電位が蓄積される。

【0009】

次に、クロック信号CLK1をLレベルにする。これにより、トランジスタNT101はオフ状態となる。この後、スタート信号STをLレベルにする。この際、トランジスタNT101がオフ状態になったとしても、ノードND101の電位は容量C101に蓄積されたHレベルの電位によりHレベルに保持されるので、トランジスタNT102はオン状態のまま保持される。これにより、ノードND102の電位はLレベルに保持されるので、トランジスタNT103のゲートの電位はLレベルに保持される。これにより、トランジスタNT103がオフ状態に保持されるので、第2回路部104c1からは、出力信号SR1としてHレベルの信号が出力され続ける。

【0010】

次に、2段目のシフトレジスタ回路104a2の第1回路部104b2に入力されるクロック信号CLK2をHレベルにする。これにより、2段目のシフトレジスタ回路104a2では、1段目のシフトレジスタ回路104a1からのHレベルの出力信号SR1が入力された状態でHレベルのクロック信号CLK2が入力されることによって、上記した1段目のシフトレジスタ回路104a1と同様の動作が行われる。このため、第2回路部104c2からHレベルの出力信号SR2が出力される。

【0011】

この後、クロック信号CLK1を、再度、Hレベルにする。これにより、第1回路部104b1のトランジスタNT101はオン状態となる。この際、ノードND101の電位はスタート信号STがLレベルとなっていることによりLレベルに降下する。このため、トランジスタNT102はオフ状態となるのでノードND102の電位がHレベルに上昇する。これにより、トランジスタNT103がオン状態となるので、ノードND103の電位がHレベルからLレベルに降下する。このため、第2回路部104c1からは、Lレベルの出力信号SR1が出力される。上記のような動作によって、各段のシフトレジスタ回路からタイミングのシフトしたHレベルの出力信号(SR1、SR2、SR3、…)が順次出力される。

【0012】

【非特許文献1】

岸野正剛著「半導体デバイスの基礎」オーム社出版、1985年4月25日、pp. 184-187

【発明が解決しようとする課題】

しかしながら、図13に示した従来のシフトレジスタ回路では、1段目のシフトレジスタ回路104a1において、出力信号SR1がHレベルの期間はトランジスタNT102がオン状態に保持されているので、抵抗R101およびトランジスタNT102を介して正側電位VDDと負側電位VSSとの間に貫通電流が流れるという不都合がある。また、出力信号SR1がLレベルの期間は、トランジスタNT103がオン状態に保持されているので、抵抗R102およびトランジスタNT103を介して正側電位VDDと負側電位VSSとの間に貫通電流が流れるという不都合がある。これにより、出力信号SR1がHレベルのときもLレベルのときも、常に、正側電位VDDと負側電位VSSとの間に貫通電流が流れるという不都合がある。また、他の段のシフトレジスタ回路においても、1段目のシフトレジスタ回路104a1と同様の構成を有しているので、1段目のシフトレジスタ回路104a1と同様に、出力信号がHレベルのときもLレベルのときも、常に、正側電位VDDと負側電位VSSとの間に貫通電流が流れるという不都合がある。その結果、上記した従来のシフトレジスタ回路を液晶表示装置

や有機EL表示装置のゲート線やドレイン線を駆動する回路に用いた場合には、液晶表示装置や有機EL表示装置の消費電流が増加するという問題点があった。

【0013】

この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、消費電流が増加することを抑制することが可能な表示装置を提供することである。

【0014】

【課題を解決するための手段および発明の効果】

上記目的を達成するために、この発明の第1の局面における表示装置は、画素に映像信号を供給する複数のドレイン線を順次駆動するための複数段のシフトレジスタ回路と、複数段のシフトレジスタ回路の動作開始側に設置され、ドレイン線に接続されない複数段の第1ダミーシフトレジスタ回路とを備え、シフトレジスタ回路および第1ダミーシフトレジスタ回路は、第1電位側に接続された第1導電型の第1トランジスタと、第2電位側に接続された第1導電型の第2トランジスタと、第1トランジスタのゲートと第2電位との間に接続され、第2トランジスタがオン状態のときに、第1トランジスタをオフ状態にするための第1導電型の第3トランジスタとを有する第1回路部を含む。

【0015】

この第1の局面による表示装置では、上記のように、シフトレジスタ回路および第1ダミーシフトレジスタ回路の第1回路部に、第2トランジスタがオン状態のときに、第1トランジスタをオフ状態にするための第3トランジスタを設けることによって、第1電位側に接続される第1トランジスタと第2電位側に接続される第2トランジスタとが同時にオン状態になることが抑制されるので、第1回路部において、第1トランジスタと第2トランジスタとを介して第1電位と第2電位との間に貫通電流が流れることを抑制することができる。また、上記のようなシフトレジスタ回路を複数段接続するとともに、その複数段のシフトレジスタ回路を表示部を構成する画素に接続して表示装置を作製した場合には、表示部の複数段のシフトレジスタ回路の動作開始側から2段目のシフトレジスタ回路に接続されたドレイン線に対応する領域に表示ムラが発生する場合がある。そこで、

この第1の局面では、上記のように、複数段のシフトレジスタ回路の動作開始側に、ドレイン線に接続されない複数段の第1ダミーシフトレジスタ回路を設けることによって、動作開始側から2段目のシフトレジスタ回路はドレイン線に接続されていない第1ダミーシフトレジスタ回路になるので、動作開始側から2段目のシフトレジスタ回路に対応する領域に表示ムラが発生することを抑制することができる。

【0016】

上記第1の局面による表示装置において、好ましくは、複数段のシフトレジスタ回路の動作開始側とは反対側に設置され、ドレイン線に接続されない第2ダミーシフトレジスタ回路をさらに備える。上記のようなシフトレジスタ回路を複数段接続するとともに、その複数段のシフトレジスタ回路を表示部を構成する画素に接続して表示装置を作製した場合には、表示部の複数段のシフトレジスタ回路の動作開始側と反対側の1段（最終段）のシフトレジスタ回路に接続されたドレイン線に対応する領域に表示ムラが発生する場合もある。そこで、上記のように、複数段のシフトレジスタ回路の動作開始側と反対側に、ドレイン線に接続されない第2ダミーシフトレジスタ回路を設けることによって、最終段のシフトレジスタ回路はドレイン線に接続されない第2ダミーシフトレジスタ回路になるので、最終段のシフトレジスタ回路に対応する領域に表示ムラが発生することを抑制することができる。

【0017】

上記第1の局面による表示装置において、好ましくは、複数段の第1ダミーシフトレジスタ回路の初段には、スタート信号が入力される。このように構成すれば、スタート信号をクロック2個分だけ前にずらすことができるので、容易に、表示ムラの発生する領域もクロック2個分前へずらすことができる。これにより、容易に、表示ムラの発生する領域を、ドレイン線に接続されないダミーシフトレジスタ回路が配置された領域に対応させることができるので、表示ムラを容易に抑制することができる。

【0018】

上記第1の局面による表示装置において、好ましくは、少なくとも第1トラン

ジスタ、第2トランジスタおよび第3トランジスタは、p型の電界効果型トランジスタである。このように構成すれば、p型の電界効果型トランジスタは、n型の電界効果型トランジスタと異なり、LDD (Lightly Doped Drain) 構造にする必要がないので、製造プロセスを簡略化することができる。

【0019】

上記第1の局面による表示装置において、好ましくは、第1トランジスタのゲートとソースとの間には、第1容量が接続されている。このように構成すれば、容易に、第1容量が接続された第1トランジスタのゲートーソース間電圧を維持するように、第1トランジスタのソース電位の上昇または低下に伴って第1トランジスタのゲート電位を上昇または低下させることができる。これにより、容易に、第1トランジスタを、常時オン状態に維持することができる。その結果、第1回路部の出力電位（第1トランジスタのソース電位）を第1電位になるまで上昇または低下させることができる。

【0020】

上記第1の局面による表示装置において、好ましくは、第3トランジスタは、互いに電氣的に接続された2つのゲート電極を有する。このように構成すれば、第3トランジスタに印加されるバイアス電圧が第1電位と第2電位との電位差よりも大きい場合にも、第3トランジスタに印加される電圧は、2つのゲート電極により各ゲート電極に対応するソースドレイン間およびゲートーソース間に分配されるので、第3トランジスタの各ゲート電極に対応するソースドレイン間およびゲートーソース間には、第1電位と第2電位との電位差よりも小さい電圧が印加される。これにより、第3トランジスタに印加されるバイアス電圧が第1電位と第2電位との電位差よりも大きい場合にも、第3トランジスタの特性が劣化することが抑制される。その結果、第3トランジスタの特性が劣化すること起因して、シフトレジスタ回路を含む表示装置のスキャン特性が低下することを抑制することができる。

【0021】

上記第1の局面による表示装置において、好ましくは、第1トランジスタは、

クロック信号に応答してオンする。このように構成すれば、クロック信号のオン状態である期間は所定の期間に限られるので、第1トランジスタをオンさせるために連続的なオン信号を用いる場合に比べて、オン信号を供給している期間が短くなる。これにより、第1回路部において、第3トランジスタがオン状態のときにクロック信号がオン状態となった場合に、第3トランジスタを介して、クロック信号を供給するクロック信号線と第2電位との間に貫通電流が流れる期間を短くすることができる。

【0022】

上記第1の局面による表示装置において、好ましくは、第1トランジスタのゲートと、クロック信号を供給するクロック信号線との間に接続され、ダイオード接続された第4トランジスタをさらに備える。このように構成すれば、クロック信号線と第1トランジスタのゲートとの間で電流が逆流することが防止されるので、確実に第1トランジスタのゲートソース間電圧をしきい値電圧以上に保持することができる。これにより、より確実に、第1トランジスタをオン状態に保持することができる。

【0023】

この場合、好ましくは、ダイオード接続された第4トランジスタは、互いに電氣的に接続された2つのゲート電極を有する。このように構成すれば、第4トランジスタに印加されるバイアス電圧が第1電位と第2電位との電位差よりも大きい場合にも、第4トランジスタに印加される電圧は、2つのゲート電極により各ゲート電極に対応するソースドレイン間およびゲートソース間に分配されるので、第4トランジスタの各ゲート電極に対応するソースドレイン間およびゲートソース間には、第1電位と第2電位との電位差よりも小さい電圧が印加される。これにより、第4トランジスタに印加されるバイアス電圧が第1電位と第2電位との電位差よりも大きい場合にも、第4トランジスタの特性が劣化することが抑制される。その結果、第4トランジスタの特性が劣化することに起因して、シフトレジスタ回路を含む表示装置のスキアン特性が低下することを抑制することができる。

【0024】

上記第1の局面による表示装置において、好ましくは、第1回路部は、第1トランジスタのゲートと、クロック信号を供給するクロック信号線との間に接続され、第3トランジスタがオフ状態のときにオン状態となる信号に応答してオンする第1導電型の第5トランジスタをさらに含む。このように構成すれば、第3トランジスタと第5トランジスタとが同時にオン状態になることがないので、第3トランジスタと第5トランジスタとを介して第2電位とクロック信号線との間に貫通電流が流れることを防止することができる。その結果、第1トランジスタおよび第2トランジスタを介しての第1電位と第2電位との間の貫通電流のみならず、第3トランジスタと第5トランジスタとを介しての第2電位とクロック信号線との間の貫通電流をも抑制することができるので、消費電流が増加することをより抑制することができる。

【0025】

上記第1の局面による表示装置において、好ましくは、第1回路部は、第1トランジスタのゲートに接続され、第1の信号に応答してオンする第1導電型の第4トランジスタと、第4トランジスタと第1電位との間に接続され、第1の信号がオン状態のときにオフ状態になる第2の信号に応答してオンする第1導電型の第5トランジスタとを有する。このように構成すれば、第1の信号および第2の信号を用いて、第4トランジスタがオン状態のときに第5トランジスタをオフ状態にするとともに、第4トランジスタがオフ状態のときに第5トランジスタをオン状態にすることができる。これにより、第4トランジスタおよび第5トランジスタのどちらか一方は、常にオフ状態になるので、第2電位に接続された第3トランジスタがオン状態である場合にも、第3トランジスタ、第4トランジスタおよび第5トランジスタを介して、第1電位と第2電位との間に貫通電流が流れることを抑制することができる。その結果、第1トランジスタおよび第2トランジスタを介しての第1電位と第2電位との間の貫通電流のみならず、第3トランジスタ、第4トランジスタおよび第5トランジスタを介しての第1電位と第2電位との間の貫通電流をも抑制することができるので、消費電流が増加することをより抑制することができる。

【0026】

この場合、好ましくは、第1トランジスタのソースと、第4トランジスタおよび第5トランジスタの接続点との間には、第2容量が接続されている。このように構成すれば、第5トランジスタがオン状態のときに、第1電位から供給される電荷を第2容量に蓄積することができるので、その後、第4トランジスタがオン状態になるとともに、第5トランジスタがオフ状態になったときに第2容量に蓄積された電荷により第1トランジスタをオン状態にすることができる。

【0027】

この発明の第2の局面における表示装置は、画素に映像信号を供給する複数のドレイン線を順次駆動するための複数段のシフトレジスタ回路と、複数段のシフトレジスタ回路の動作開始側とは反対側に設置され、ドレイン線に接続されないダミーシフトレジスタ回路とを備え、シフトレジスタ回路およびダミーシフトレジスタ回路は、第1電位側に接続された第1導電型の第1トランジスタと、第2電位側に接続された第1導電型の第2トランジスタと、第1トランジスタのゲートと第2電位との間に接続され、第2トランジスタがオン状態のときに、第1トランジスタをオフ状態にするための第1導電型の第3トランジスタとを有する第1回路部を含む。

【0028】

この第2の局面による表示装置では、上記のように、シフトレジスタ回路の第1回路部に、第2トランジスタがオン状態のときに、第1トランジスタをオフ状態にするための第3トランジスタを設けることによって、第1電位側に接続される第1トランジスタと第2電位側に接続される第2トランジスタとが同時にオン状態になることが抑制されるので、第1回路部において、第1トランジスタと第2トランジスタとを介して第1電位と第2電位との間に貫通電流が流れることを抑制することができる。また、上記のようなシフトレジスタ回路を複数段接続するとともに、その複数段のシフトレジスタ回路を表示部を構成する画素に接続して表示装置を作製した場合には、表示部の複数段のシフトレジスタ回路の動作開始側と反対側の1段（最終段）のシフトレジスタ回路に接続されたドレイン線に対応する領域に表示ムラが発生する場合がある。そこで、この第2の局面では、上記のように、複数段のシフトレジスタ回路の動作開始側とは反対側に、ドレイ

ン線に接続されないダミーシフトレジスタ回路を設けることによって、最終段のシフトレジスタ回路はドレイン線に接続されないダミーシフトレジスタ回路になるので、最終段のシフトレジスタ回路に対応する領域に表示ムラが発生することを抑制することができる。

【0029】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。

【0030】

(第1実施形態)

図1は、本発明の第1実施形態による液晶表示装置を示した平面図である。図2は、図1に示した第1実施形態による液晶表示装置のHドライバを構成するシフトレジスタ回路の回路図である。図3は、図2に示したシフトレジスタ回路の最終段の回路図である。

【0031】

まず、図1を参照して、この第1実施形態では、基板50上に表示部1が設けられている。なお、図1の表示部1は、1画素分の構成を示している。この表示部1には、画素2がマトリクス状に配置されている。各々の画素2は、pチャネルトランジスタ2a、画素電極2b、それに対向配置され、各画素2に共通の対向電極2c、これら画素電極2bと対向電極2cとの間に挟持された液晶2d、および補助容量2eによって構成されている。pチャネルトランジスタ2aのゲートはゲート線に接続されている。また、pチャネルトランジスタ2aのソースはドレイン線に接続されている。また、pチャネルトランジスタ2aのドレインには画素電極2bおよび補助容量2cが接続されている。

【0032】

また、表示部1の一辺に沿うように、基板50上に、表示部1のドレイン線を駆動（走査）するための水平スイッチ（HSW）3およびHドライバ4が設けられている。また、表示部1の他の辺に沿うように、基板50上に表示部1のゲート線を駆動（走査）するためのVドライバ5が設けられている。なお、図1において、HSWは2つだけ記載しているが、画素の数に応じた数だけ配置されるも

のであり、またHドライバ4およびVドライバ5についてもそれらを構成するシフトレジスタを2つだけ記載しているが、画素の数に応じた数だけ配置されるものである。また、基板50の外部には駆動IC6が設置されている。この駆動IC6は、信号発生回路6aおよび電源回路6bを備えている。駆動IC6からHドライバ4へは、スタート信号HST、クロック信号HCLK、正側電位HVDおよび負側電位HVSが供給される。また、駆動IC6からVドライバ5へは、スタート信号VST、クロック信号VCLK、イネーブル信号ENB、正側電位VVDおよび負側電位VVSが供給される。

【0033】

また、図2および図3に示すように、Hドライバ4は、ドレイン線に接続された複数段のシフトレジスタ回路4a1、4a2、…および4anを備えている。

【0034】

ここで、第1実施形態では、ドレイン線に接続されたシフトレジスタ回路4a1、4a2、…および4anの前段には、ドレイン線に接続されない2段のダミーシフトレジスタ回路4b1および4b2が設けられている。また、第1実施形態では、図3に示すように、ドレイン線に接続されたシフトレジスタ回路4a1、4a2、…および4anの最終段の次段には、ダミーシフトレジスタ回路4b3が設けられている。このダミーシフトレジスタ回路4b3の次段には、水平スイッチに接続されないシフトレジスタ回路4a(n+1)が設けられている。なお、ダミーシフトレジスタ回路4b1および4b2は、本発明における「第1ダミーシフトレジスタ回路」の一例である。また、ダミーシフトレジスタ回路4b3は、本発明における「第2ダミーシフトレジスタ回路」の一例である。

【0035】

また、第1実施形態では、図2に示すように、1段目（初段）のダミーシフトレジスタ回路4b1にスタート信号HSTが入力されるように構成されている。これにより、2段のダミーシフトレジスタ回路4b1および4b2を設けない場合に比べて、スタート信号が入力されるシフトレジスタ回路の位置を2段分前段側へずらすことができるので、スタート信号HSTを入力するタイミングをクロック2個分前にずらすことができる。

【0036】

また、1段目のダミーシフトレジスタ回路4b1は第1回路部4b11および第2回路部4b12によって構成されている。なお、この第1回路部4b11および第2回路部4b12は、本発明における「第1回路部」の一例である。第1回路部4b11および第2回路部4b12は、pチャネルトランジスタPT1、PT2およびPT3と、ダイオード接続されたpチャネルトランジスタPT4と、pチャネルトランジスタのソースドレイン間を接続することにより形成された容量C1とを含んでいる。なお、pチャネルトランジスタPT1、PT2、PT3およびPT4は、それぞれ、本発明における「第1トランジスタ」、「第2トランジスタ」、「第3トランジスタ」、「第4トランジスタ」の一例である。また、容量C1は本発明における「第1容量」の一例である。また、第2回路部4b12は第1回路部4b11と異なり、高抵抗R1をさらに含んでいる。

【0037】

ここで、第1実施形態では、第1回路部4b11および第2回路部4b12に設けられたpチャネルトランジスタPT1～PT4と、容量C1を構成するpチャネルトランジスタとは、すべてp型のMOSトランジスタ（電界効果型トランジスタ）からなるTFET（薄膜トランジスタ）によって構成されている。以下、pチャネルトランジスタPT1～PT4は、それぞれ、トランジスタPT1～PT4と称する。

【0038】

また、第1実施形態では、トランジスタPT3およびPT4は、図4に示すように、それぞれ、互いに電氣的に接続された2つのゲート電極91および92を有するように形成されている。具体的には、一方のゲート電極91および他方のゲート電極92は、それぞれ、一方のチャネル領域91cおよび他方のチャネル領域92c上にゲート絶縁膜90を介して形成されている。そして、一方のチャネル領域91cは、一方のソース領域91aと一方のドレイン領域91bとに挟まれるように形成されており、他方のチャネル領域92cは、他方のソース領域92aと他方のドレイン領域92bとに挟まれるように形成されている。また、ドレイン領域91bとソース領域92aとは共通の不純物領域により構成されて

いる。

【0039】

また、図2に示すように、第1回路部4b11において、トランジスタPT1のソースはノードND2に接続されているとともに、ドレインは負側電位HVSに接続されている。なお、負側電位HVSは本発明における「第1電位」の一例である。このトランジスタPT1のゲートは、ノードND1に接続されているとともに、トランジスタPT1のゲートにはクロック信号HCLK1が供給される。トランジスタPT2のソースは正側電位HVDDに接続されているとともに、ドレインはノードND2に接続されている。なお、正側電位HVDDは本発明における「第2電位」の一例である。このトランジスタPT2のゲートにはスタート信号HSTが供給される。

【0040】

ここで、第1実施形態では、トランジスタPT3はトランジスタPT1のゲートと正側電位HVDDとの間に接続されている。このトランジスタPT3のゲートにはスタート信号HSTが供給される。そして、トランジスタPT3は、トランジスタPT2がオン状態のときに、トランジスタPT1をオフ状態にするために設けられている。これにより、トランジスタPT2とトランジスタPT1とが同時にオン状態になることが抑制される。

【0041】

また、第1実施形態では、容量C1はトランジスタPT1のゲートとソースとの間に接続されている。また、ダイオード接続されたトランジスタPT4は、トランジスタPT1のゲートとクロック信号線HCLK1との間に接続されている。このダイオード接続されたトランジスタPT4により、クロック信号HCLK1のHレベルのパルス電圧がクロック信号線HCLK1から容量C1へ逆流することが抑制される。

【0042】

また、第2回路部4b12における回路構成は、基本的に第1回路部4b11の回路構成と同様である。ただし、第2回路部4b12では、トランジスタPT1のソースおよびトランジスタPT2のドレインは、それぞれ、ノードND4に

接続されているとともに、トランジスタ P T 1 のゲートはノード N D 3 に接続されている。また、高抵抗 R 1 は、トランジスタ P T 4 とクロック信号線 H C L K 1 との間に接続されている。

【0043】

そして、第2回路部 4 b 1 2 のノード N D 4 (出力ノード) からは、1段目のダミーシフトレジスタ回路 4 b 1 の出力信号 D u m m y - S R 1 が出力される。また、1段目のダミーシフトレジスタ回路 4 b 1 のノード N D 4 (出力ノード) には、2段目のダミーシフトレジスタ回路 4 b 2 が接続されている。

【0044】

また、2段目のダミーシフトレジスタ回路 4 b 2、複数段のシフトレジスタ回路 4 a 1、4 a 2、…、4 a n および 4 a (n+1)、および、最終段側に設けられたダミーシフトレジスタ回路 4 b 3 も、上記した1段目のダミーシフトレジスタ回路 4 b 1 と同様の回路構成を有している。すなわち、2段目のダミーシフトレジスタ回路 4 b 2 および最終段側に設けられたダミーシフトレジスタ回路 4 b 3 は、それぞれ、1段目のダミーシフトレジスタ回路 4 b 1 の第1回路部 4 b 1 1 および第2回路部 4 b 1 2 と同様の構成を有する第1回路部 4 b 2 1 および 4 b 3 1 と、第2回路部 4 b 2 2 および 4 b 3 2 とによって構成されている。また、複数段のシフトレジスタ回路 4 a 1、4 a 2、…、4 a n および 4 a (n+1) は、それぞれ、1段目のダミーシフトレジスタ回路 4 b 1 の第1回路部 4 b 1 1 および第2回路部 4 b 1 2 と同様の構成を有する第1回路部 4 a 1 1、4 a 2 1、…、4 a n 1 および 4 a (n+1) 1 と、第2回路部 4 a 1 2、4 a 2 2、…、4 a n 2 および 4 a (n+1) 2 とによって構成されている。なお、後段のシフトレジスタ回路の第1回路部は、前段のシフトレジスタ回路の出力ノードに接続されるように構成されている。

【0045】

また、図2および図3に示すように、水平スイッチ 3 には、各段毎にトランジスタ P T 3 0 が設けられている。各段のトランジスタ P T 3 0 のゲートは各段の出力ノードであるノード N D 4 に接続されている。これにより、各段のトランジスタ P T 3 0 には、各段の出力信号 (D u m m y - S R 1、D u m m y - S R 2

、SR1、SR2、…、SRnおよびDummy-SR3)が供給される。このトランジスタPT30のソースはビデオ信号線Videoに接続されているとともに、ドレインはドレイン線に接続されている。

【0046】

ここで、第1実施形態では、各段毎に設けられたトランジスタPT30のうち、ダミーシフトレジスタ回路4b1、4b2および4b3に接続されたトランジスタPT30のドレインは、ドレイン線に接続されていない。なお、ダミーシフトレジスタ回路4b1、4b2および4b3に接続されたトランジスタPT30のドレインは、表示に寄与する表示領域以外の領域に設けられたドレイン線であればそのドレイン線に接続されてもよい。以下、本願において同様である。

【0047】

図5は、図1に示した第1実施形態による液晶表示装置のHドライバのシフトレジスタ回路のタイミングチャートである。なお、図5において、Dummy-SR1、Dummy-SR2、SR1およびSR2は、それぞれ、1段目および2段目のダミーシフトレジスタ回路4b1および4b2、および、1段目および2段目のシフトレジスタ回路4a1および4a2からの出力信号を示している。次に、図2、図3および図5を参照して、第1実施形態による液晶表示装置のHドライバのシフトレジスタ回路の動作について説明する。

【0048】

まず、初期状態として、Hレベル(HVDD)のスタート信号HSTが、1段目のダミーシフトレジスタ回路4b1の第1回路部4b11に入力されている。これにより、第1回路部4b11のトランジスタPT2およびPT3がオフ状態になるとともに、トランジスタPT1がオン状態になるため、ノードND2の電位はLレベルとなっている。このため、第2回路部4b12において、トランジスタPT2およびPT3はオン状態になる。これにより、ノードND3の電位がHレベルになるので第2回路部4b12のトランジスタPT1はオフ状態になる。このように、第2回路部4b12において、トランジスタPT2がオン状態になるとともに、トランジスタPT1がオフ状態になるので、ノードND4の電位はHレベルになる。これにより、初期状態では、1段目のダミーシフトレジスタ

回路 4 b 1 から H レベルの出力信号 Dummy-SR1 が出力されている。

【0049】

この状態で、L レベル (HVSS) のスタート信号 HST が入力されると、第 1 回路部 4 b 1 1 において、トランジスタ PT2 および PT3 はオン状態になる。これにより、ノード ND1 および ND2 の電位が共に H レベルになるので、第 1 回路部 4 b 1 1 のトランジスタ PT1 はオフ状態に保持される。そして、ノード ND2 の電位が H レベルになることにより、第 2 回路部 4 b 1 2 において、トランジスタ PT2 および PT3 はオフ状態になる。このとき、ノード ND3 の電位が H レベルの状態に保持されるので、第 2 回路部 4 b 1 2 のトランジスタ PT1 はオフ状態のまま保持される。このため、ノード ND4 の電位が H レベルのまま保持されるので、1 段目のダミーシフトレジスタ回路 4 b 1 から H レベルの出力信号 Dummy-SR1 が出力される。

【0050】

次に、第 1 回路部 4 b 1 1 において、トランジスタ PT4 を介して L レベル (HVSS) のクロック信号 HCLK1 が入力される。この際、トランジスタ PT3 がオン状態になっているので、ノード ND1 の電位は H レベルのまま保持される。これにより、第 1 回路部 4 b 1 1 のトランジスタ PT1 はオフ状態のまま保持される。なお、クロック信号 HCLK1 が L レベルの期間中、第 1 回路部 4 b 1 1 のトランジスタ PT4 および PT3 を介してクロック信号線 HCLK1 と正側電位 HVDD との間に貫通電流が流れる。しかしながら、クロック信号が L レベルである期間は、デューティ比が約 $1/30$ (L レベルの期間: 約 80 nsec ~ 約 160 nsec) となるように設定されているので、クロック信号線 HCLK1 と正側電位 HVDD との間に貫通電流が流れるのは、クロック信号が L レベルである約 80 nsec ~ 約 160 nsec の短い期間に限られる。

【0051】

一方、第 2 回路部 4 b 1 2 においても、高抵抗 R1 およびトランジスタ PT4 を介して L レベル (HVSS) のクロック信号 HCLK1 が入力される。この際、トランジスタ PT3 がオフ状態になっているので、ノード ND3 の電位が L レベルになることにより、トランジスタ PT1 はオン状態になる。この際、高抵抗

R1によりトランジスタPT1がオン状態になりにくいので、トランジスタPT1がオン状態になるときの応答速度が遅くなる。

【0052】

このとき、第2回路部4b12において、トランジスタPT2がオフ状態になっているので、オン状態のトランジスタPT1を介してノードND4の電位は、HVSS側に低下する。この場合、ノードND3の電位（トランジスタPT1のゲート電位）は、容量C1によってトランジスタPT1のゲートソース間電圧が維持されるように、ノードND4の電位（トランジスタPT1のソース電位）の低下に伴って低下する。また、第2回路部4b12のトランジスタPT3がオフ状態であるとともに、トランジスタPT4には、クロック信号線HCLK1からのHレベルの信号がノードND3側に逆流することはないので、容量C1の保持電圧（トランジスタPT1のゲートソース間電圧）は維持される。これにより、ノードND4の電位が低下していくときにトランジスタPT1が常時オン状態に維持されるので、ノードND4の電位はHVSSまで低下する。その結果、1段目のダミーシフトレジスタ回路4b1からLレベルの出力信号Dummy-SR1が出力される。

【0053】

なお、第2回路部4b12において、ノードND4の電位がHVSSまで低下したときのノードND3の電位はHVSSよりも低くなっている。このため、正側電位HVDDに接続されたトランジスタPT3に印加されるバイアス電圧は、HVDDとHVSSとの電位差よりも大きくなる。また、クロック信号HCLK1がHレベル（HVDD）になった場合には、クロック信号線HCLK1に接続されたトランジスタPT4に印加されるバイアス電圧も、HVDDとHVSSとの電位差よりも大きくなる。

【0054】

次に、第1回路部4b11において、Hレベル（HVDD）のスタート信号HSTが入力されると、トランジスタPT2およびPT3がオフ状態になる。この場合には、ノードND1およびND2は、Hレベルに保持された状態でフローティング状態になる。このため、他の部分へ影響が与えられることはないので、1

段目のダミーシフトレジスタ回路 4 b 1 からは、L レベルの出力信号 Dummy-SR 1 が維持される。

【0055】

次に、第 1 回路部 4 b 1 1 において、再度、トランジスタ P T 4 を介して、L レベル (H V S S) のクロック信号 H C L K 1 が入力される。これにより、第 1 回路部 4 b 1 1 のトランジスタ P T 1 がオン状態になるので、ノード N D 2 の電位は、H V S S 側に低下する。この場合、ノード N D 1 の電位は、容量 C 1 によって、トランジスタ P T 1 のゲート-ソース間電圧が維持されるように、ノード N D 2 の電位の低下に伴って低下する。また、第 1 回路部 4 b 1 1 では、トランジスタ P T 3 がオフ状態であるとともに、トランジスタ P T 4 にはクロック信号線 H C L K 1 からの H レベルの信号がノード N D 1 側に逆流することはないので、容量 C 1 の保持電圧は維持される。これにより、ノード N D 2 の電位が低下していくときに、トランジスタ P T 1 が常時オン状態に維持されるので、ノード N D 2 の電位は H V S S まで低下する。このため、第 2 回路部 4 b 1 2 のトランジスタ P T 2 および P T 3 はオン状態になる。なお、ノード N D 2 の電位が H V S S まで低下したときのノード N D 1 の電位は、H V S S よりも低くなっている。

【0056】

この際、第 1 実施形態では、第 2 回路部 4 b 1 2 において、トランジスタ P T 3 によって、トランジスタ P T 1 がオフ状態にされるので、トランジスタ P T 1 とトランジスタ P T 2 とが同時にオン状態になることが抑制される。これにより、トランジスタ P T 1 および P T 2 を介して正側電位 H V D D と負側電位 H V S S との間に貫通電流が流れるのが抑制される。

【0057】

そして、第 2 回路部 4 b 1 2 において、トランジスタ P T 2 がオン状態になるとともに、トランジスタ P T 1 がオフ状態になることにより、ノード N D 4 の電位は H V S S から H V D D に上昇して H レベルになる。このため、1 段目のダミーシフトレジスタ回路 4 b 1 から H レベルの出力信号 Dummy-SR 1 が出力される。

【0058】

以上のように、第1実施形態では、1段目のダミーシフトレジスタ回路4b1の第1回路部4b11にLレベルのスタート信号HSTが入力されているときに、Lレベルのクロック信号HCLK1が入力されると、第2回路部4b12からLレベルの出力信号Dummy-SR1が出力される。そして、第2回路部4b12からLレベルの出力信号Dummy-SR1が出力されている状態で、再度、Lレベルのクロック信号HCLK1が入力されると、第2回路部4b12からの出力信号Dummy-SR1はHレベルになる。

【0059】

なお、1段目のダミーシフトレジスタ回路4b1の第2回路部4b12からの出力信号Dummy-SR1は、2段目のダミーシフトレジスタ回路4b2の第1回路部4b21に入力される。2段目のダミーシフトレジスタ回路4b2では、第1回路部4b21に1段目のダミーシフトレジスタ回路4b1のLレベルの出力信号Dummy-SR1が入力されている場合に、Lレベルのクロック信号HCLK2が入力されると、第2回路部4b22からLレベルの出力信号Dummy-SR2が出力される。さらに、2段目のダミーシフトレジスタ回路4b2が接続された1段目のシフトレジスタ回路4a1では、第1回路部4a11に2段目のダミーシフトレジスタ回路4b2のLレベルの出力信号Dummy-SR2が入力されている場合に、Lレベルのクロック信号HCLK1が入力されると、第2回路部4a12からLレベルの出力信号SR1が出力される。また、1段目のシフトレジスタ回路4a1が接続された2段目のシフトレジスタ回路4a2では、第1回路部4a21に1段目のシフトレジスタ回路4a1のLレベルの出力信号SR1が入力されている場合に、Lレベルのクロック信号HCLK2が入力されると、第2回路部4a22からLレベルの出力信号SR1が出力される。このように、前段のシフトレジスタ回路からの出力信号が次段のシフトレジスタ回路に入力されるとともに、Lレベルになるタイミングが互いにずれたクロック信号HCLK1およびHCLK2が、各段のシフトレジスタ回路に交互に入力される。これにより、各段のシフトレジスタ回路からLレベルの出力信号が出力されるタイミングがシフトする。

【0060】

そして、タイミングがシフトしたLレベルの信号が水平スイッチ3の各段のトランジスタPT30に入力されることにより、各段のトランジスタPT30は、順次、オン状態になる。これにより、各段のドレイン線にビデオ信号線Videoからビデオ信号が供給されるので、各段のドレイン線は順次、駆動（走査）される。なお、ダミーシフトレジスタ回路4b1、4b2および4b3の出力信号Dummy-SR1、Dummy-SR2およびDummy-SR3が入力されるトランジスタPT30では、ドレインがドレイン線に接続されていないので、トランジスタPT30がオン状態になってもドレイン線にビデオ信号は供給されない。なお、前述のとおり、トランジスタPT30は、表示領域以外に設けられたドレイン線に接続されていてもよく、またそのドレイン線にはビデオ信号は供給されてもされなくてもよい。

【0061】

そして、1本のゲート線に繋がる全ての段のドレイン線の走査が終了すると、次のゲート線が選択される。そして、再び各段のドレイン線が順次走査された後、次のゲート線が選択される。この動作が、最後のゲート線に繋がる各段のドレイン線の走査が終了されるまで繰り返されることによって、一画面の走査が終了する。

【0062】

第1実施形態では、上記のように、第1回路部4b11および第2回路部4b12に、トランジスタPT2がオン状態のときに、トランジスタPT1をオフ状態にするためのトランジスタPT3を設けることによって、負側電位HVSSに接続されるトランジスタPT1と正側電位HVDDに接続されるトランジスタPT2とが同時にオン状態になるのが抑制されるので、第1回路部4b11および第2回路部4b12において、トランジスタPT1とトランジスタPT2とを介して負側電位HVSSと正側電位HVDDとの間に貫通電流が流れるのを抑制することができる。これにより、液晶表示装置の消費電流が増加することを抑制することができる。

【0063】

また、第1実施形態では、ドレイン線に接続された複数段のシフトレジスタ回

路 4 a 1、4 a 2、…および 4 a n の前段（動作開始側）に、ドレイン線に接続されない 2 段のダミーシフトレジスタ回路 4 b 1 および 4 b 2 を設けることによって、動作開始側から 2 段目のシフトレジスタ回路はドレイン線に接続されていない 2 段目のダミーシフトレジスタ回路 4 b 2 になるので、動作開始側から 2 段目のシフトレジスタ回路に対応する領域に表示ムラが発生することを抑制することができる。また、ドレイン線に接続された複数段のシフトレジスタ回路 4 a 1、4 a 2、…および 4 a n の最終段（シフトレジスタ回路 4 a n）の次段に、ドレイン線に接続されないダミーシフトレジスタ回路 4 b 3 を設けることによって、最終段のシフトレジスタ回路はドレイン線に接続されないダミーシフトレジスタ回路 4 b 3 になるので、最終段のシフトレジスタ回路に対応する領域に表示ムラが発生することを抑制することができる。

【0064】

また、第 1 実施形態では、第 1 回路部 4 b 1 1 および第 2 回路部 4 b 1 2 に設けられたトランジスタ P T 1 ~ P T 4 と、容量 C 1 を構成するトランジスタとを、すべて p 型の MOS トランジスタ（電界効果型トランジスタ）からなる T F T（薄膜トランジスタ）で構成することによって、2 種類の導電型のトランジスタを含むシフトレジスタ回路を形成する場合に比べて、イオン注入工程の回数およびイオン注入マスクの枚数を減少させることができる。これにより、製造プロセスを簡略化することができるとともに、製造コストを削減することができる。また、p 型の電界効果型トランジスタは、n 型の電界効果型トランジスタと異なり、L D D（L i g h t l y D o p e d D r a i n）構造にする必要がないので、製造プロセスをより簡略化することができる。この利点を除けば、トランジスタ P T 1、P T 2 および P T 3 が n チャネルトランジスタでもよい。

【0065】

また、第 1 実施形態では、トランジスタ P T 3 およびトランジスタ P T 4 を、それぞれ、互いに電氣的に接続された 2 つのゲート電極 9 1 および 9 2 を有するように構成することによって、トランジスタ P T 3 およびトランジスタ P T 4 のソースドレイン間に印加される電圧は、一方のゲート電極 9 1 に対応するソースドレイン間と他方のゲート電極 9 2 に対応するソースドレイン間とに概ね

半分程度ずつ（電圧の分配比率はトランジスタサイズなどによって変動）分配される。このため、トランジスタPT3およびPT4のソースドレイン間に印加されるバイアス電圧がHVSSとHVDDとの電位差よりも大きくなった場合にも、トランジスタPT3およびPT4の一方のゲート電極91に対応するソースドレイン間および他方のゲート電極92に対応するソースドレイン間には、それぞれ、HVSSとHVDDとの電位差よりも小さい電圧が印加される。また、トランジスタPT3およびPT4のゲートソース間に印加される電圧は、一方のゲート電極91に対応するゲートソース間と他方のゲート電極92に対応するゲートソース間とに概ね半分程度ずつ（電圧の分配比率はトランジスタサイズなどによって変動）分配される。このため、トランジスタPT3およびPT4のゲートソース間に印加されるバイアス電圧がHVSSとHVDDとの電位差よりも大きくなった場合にも、トランジスタPT3およびPT4の一方のゲート電極91に対応するゲートソース間および他方のゲート電極92に対応するゲートソース間には、それぞれ、HVSSとHVDDとの電位差よりも小さい電圧が印加される。これにより、トランジスタPT3およびPT4にHVSSとHVDDとの電位差よりも大きいバイアス電圧が印加されることに起因して、トランジスタPT3およびPT4の特性が劣化するのが抑制されるので、シフトレジスタ回路を含む液晶表示装置のスキャン特性が低下することを抑制することができる。

【0066】

（第2実施形態）

図6は、本発明の第2実施形態による液晶表示装置のHドライバを構成するシフトレジスタ回路の回路図である。図7は、図6に示したシフトレジスタ回路の最終段の回路図である。図6および図7を参照して、この第2実施形態では、表示ムラの発生を抑制することができるとともに、第1実施形態に比べて貫通電流が流れるのをより抑制することが可能なHドライバの一例について説明する。まず、図6および図7を参照して、第2実施形態による液晶表示装置のHドライバの回路構成について説明する。

【0067】

この第2実施形態による液晶表示装置のHドライバ14は、図6および図7に示すように、ドレイン線に接続された複数段のシフトレジスタ回路14a1、14a2、…および14anを備えている。

【0068】

ここで、第2実施形態では、ドレイン線に接続されたシフトレジスタ回路14a1、14a2、…および14anの前段には、ドレイン線に接続されない2段のダミーシフトレジスタ回路14b1および14b2が設けられている。また、第2実施形態では、図7に示すように、ドレイン線に接続されたシフトレジスタ回路14a1、14a2、…および14anの最終段の次段には、ダミーシフトレジスタ回路14b3が設けられている。なお、ダミーシフトレジスタ回路14b1および14b2は、本発明における「第1ダミーシフトレジスタ回路」の一例である。また、ダミーシフトレジスタ回路14b3は、本発明における「第2ダミーシフトレジスタ回路」の一例である。

【0069】

また、第2実施形態では、図6に示すように、1段目（初段）のダミーシフトレジスタ回路14b1にスタート信号HSTが入力されるように構成されている。これにより、2段のダミーシフトレジスタ回路14b1および14b2を設けない場合に比べて、スタート信号HSTが入力されるシフトレジスタ回路の位置を2段分前段側へずらすことができるので、スタート信号HSTを入力するタイミングをクロック2個分前にずらすことが可能となる。

【0070】

また、1段目のダミーシフトレジスタ回路14b1は、第1回路部14b11および第2回路部14b12によって構成されている。なお、この第1回路部14b11および第2回路部14b12は、本発明における「第1回路部」の一例である。この第1回路部14b11および第2回路部14b12は、pチャネルトランジスタPT1、PT2、PT3およびPT10と、ダイオード接続されたpチャネルトランジスタPT14と、pチャネルトランジスタのソースドレイン間を接続することにより形成された容量C1とを含んでいる。

【0071】

すなわち、第2実施形態の第1回路部14b11および第2回路部14b12では、上記第1実施形態の第1回路部4b11および第2回路部4b12（図2参照）の回路構成において、pチャネルトランジスタPT10を追加しているとともに、pチャネルトランジスタPT14を1つのゲート電極のみを有する通常の電界効果型トランジスタによって形成している。また、第2回路部14b12は第1回路部14b11と異なり、高抵抗R1をさらに含んでいる。

【0072】

また、第2実施形態では、第1回路部14b11および第2回路部14b12に設けられたpチャネルトランジスタPT1～PT3、PT10およびPT14と、容量C1を構成するpチャネルトランジスタとは、すべてp型のMOSトランジスタ（電界効果型トランジスタ）からなるTFET（薄膜トランジスタ）によって構成されている。以下、pチャネルトランジスタPT1～PT3、PT10およびPT14は、それぞれ、トランジスタPT1～PT3、PT10およびPT14と称する。

【0073】

また、第2実施形態では、トランジスタPT3は、上記第1実施形態によるダミーシフトレジスタ回路4b1（図2参照）のトランジスタPT3と同様に、それぞれ、互いに電氣的に接続された2つのゲート電極91および92（図4参照）を有するように形成されている。

【0074】

また、図6に示すように、第1回路部14b11においてトランジスタPT1のソースはノードND2に接続されているとともに、ドレインは負側電位HVSに接続されている。トランジスタPT1のゲートはノードND1に接続されているとともに、トランジスタPT1のゲートにはクロック信号HCLK1が供給される。また、トランジスタPT2のソースは正側電位HVDDに接続されているとともに、ドレインはノードND2に接続されている。このトランジスタPT2のゲートにはスタート信号HSTが供給される。

【0075】

また、第2実施形態では、トランジスタPT3は、トランジスタPT1のゲ-

トと正側電位H V D Dとの間に接続されている。このトランジスタP T 3のゲートには、スタート信号H S Tが供給される。そして、トランジスタP T 3は、トランジスタP T 2がオン状態のときに、トランジスタP T 1をオフ状態にするために設けられている。これにより、トランジスタP T 2とトランジスタP T 1とが同時にオン状態になることが抑制される。

【0076】

ここで、第2実施形態では、容量C 1はトランジスタP T 1のゲートとソースとの間に接続されている。また、トランジスタP T 1 4のソースはノードN D 1側に接続されているとともに、ドレインはクロック信号線H C L K 1に接続されている。

【0077】

また、第2実施形態では、トランジスタP T 1 0はトランジスタP T 1 4とノードN D 1との間に接続されている。すなわち、トランジスタP T 1 0のソースはノードN D 1に接続されているとともに、ドレインはトランジスタP T 1 4のソースに接続されている。このトランジスタP T 1 0のゲートには、次段のダミーシフトレジスタ回路1 4 b 2の出力信号D u m m y - S R 2が供給される。なお、トランジスタP T 1 0は、本発明における「第5トランジスタ」の一例である。

【0078】

また、第2回路部1 4 b 1 2における回路構成は、基本的に第1回路部1 4 b 1 1の回路構成と同様である。ただし、第2回路部1 4 b 1 2では、トランジスタP T 1のソースおよびトランジスタP T 2のドレインは、それぞれ、ノードN D 4に接続されているとともに、トランジスタP T 1のゲートはノードN D 3に接続されている。また、第2回路部1 4 b 1 2のトランジスタP T 1 0のゲートには、スタート信号H S Tが供給される。また、高抵抗R 1は、トランジスタP T 1 4とクロック信号線H C L K 1との間に接続されている。

【0079】

そして、第2回路部1 4 b 1 2のノードN D 4（出力ノード）からは、1段目のダミーシフトレジスタ回路1 4 b 1の出力信号D u m m y - S R 1が出力され

る。また、1段目のダミーシフトレジスタ回路14b1のノードND4（出力ノード）には、2段目のダミーシフトレジスタ回路14b2が接続されている。

【0080】

また、2段目のダミーシフトレジスタ回路14b2、複数段のシフトレジスタ回路14a1、14a2、…、14anおよび14a(n+1)、および、最終段側に設けられたダミーシフトレジスタ回路14b3も、上記した1段目のダミーシフトレジスタ回路14b1と同様の回路構成を有している。すなわち、2段目のダミーシフトレジスタ回路14b2および最終段側に設けられたダミーシフトレジスタ回路14b3は、それぞれ、1段目のダミーシフトレジスタ回路14b1の第1回路部14b11および第2回路部14b12と同様の構成を有する第1回路部14b21および14b31と第2回路部14b22および14b32とによって構成されている。また、複数段のシフトレジスタ回路14a1、14a2、…、14anおよび14a(n+1)は、それぞれ、1段目のダミーシフトレジスタ回路14b1の第1回路部14b11および第2回路部14b12と同様の構成を有する第1回路部14a11、14a21、…、14an1および14a(n+1)1と第2回路部14a12、14a22、…、14an2および14a(n+1)2とによって構成されている。

【0081】

ここで、第2実施形態では、所定の段（最終段を除く）の第1回路部のトランジスタPT10のゲートには、次段のシフトレジスタ回路の出力信号が供給され、第2回路部のトランジスタPT10のゲートには、前段のシフトレジスタ回路の出力信号またはスタート信号HSTが供給される。

【0082】

なお、図7に示すように、最終段側のダミーシフトレジスタ回路14b3に接続されるとともに、水平スイッチ3に接続されないシフトレジスタ回路14a(n+1)の第1回路部14a(n+1)1のトランジスタPT10のゲートは負側電位HVSSに接続されている。このため、このシフトレジスタ回路14a(n+1)の第1回路部14a(n+1)1のトランジスタPT10のゲートには、常にLレベルの信号が供給される。

【0083】

また、図6および図7に示すように、水平スイッチ3には、各段毎にトランジスタPT30が設けられている。各段のトランジスタPT30のゲートは、各段の出力ノードであるノードND4に接続されている。これにより、各段のトランジスタPT30には、各段の出力信号(Dummy-SR1、Dummy-SR2、SR1、SR2、…、SRnおよびDummy-SR3)が供給される。このトランジスタPT30のソースはビデオ信号線Videoに接続されているとともに、ドレインはドレイン線に接続されている。なお、各段毎に設けられたトランジスタPT30のうち、ダミーシフトレジスタ回路14b1、14b2および14b3に接続されたトランジスタPT30のドレインは、ドレイン線に接続されていない。

【0084】

図8は、図6に示した第2実施形態による液晶表示装置のHドライバのシフトレジスタ回路のタイミングチャートである。なお、図8において、Dummy-SR1、Dummy-SR2、SR1およびSR2は、それぞれ、1段目および2段目のダミーシフトレジスタ回路14b1および14b2、および、1段目および2段目のシフトレジスタ回路14a1および14a2からの出力信号を示している。次に、図6～図8を参照して、第2実施形態による液晶表示装置のHドライバのシフトレジスタ回路の動作について説明する。

【0085】

まず、初期状態では、全てのダミーシフトレジスタ回路14b1、14b2および14b3と、シフトレジスタ回路14a1～14anとの出力信号Dummy-SR1～Dummy-SR3およびSR1～SRnがHレベルとなっている。

【0086】

この状態で、Lレベルのスタート信号HSTが入力されると、1段目のダミーシフトレジスタ回路14b1の第1回路部14b11において、トランジスタPT2およびPT3がオン状態になる。この後、Lレベルのクロック信号HCLK1が第1回路部14b11のトランジスタPT14および第2回路部14b12の

トランジスタPT14のゲートに入力される。これにより、第1回路部14b11のトランジスタPT14および第2回路部14b12のトランジスタPT14がオン状態となる。なお、第2回路部14b12のトランジスタPT14がオン状態になるときの応答速度は、高抵抗R1により遅くなる。

【0087】

この際、第2実施形態では、1段目のダミーシフトレジスタ回路14b1の第1回路部14b11のトランジスタPT10のゲートに、2段目のダミーシフトレジスタ回路14b2のHレベルの出力信号Dummy-SR2が供給されるので、トランジスタPT10がオフ状態となる。このため、第1回路部14b11において、トランジスタPT3とトランジスタPT14とがオン状態であっても、トランジスタPT3およびPT14を介してHVDDからクロック信号線HCLK1に貫通電流が流れることはない。

【0088】

また、第1回路部14b11において、トランジスタPT3がオン状態で、トランジスタPT10がオフ状態であるので、ノードND1の電位がHレベルに上昇する。これにより、第1回路部14b11のトランジスタPT1がオフ状態となる。この場合、トランジスタPT2はオン状態であるので、ノードND2の電位がHレベルに上昇する。これにより、第2回路部14b12のトランジスタPT2およびPT3がオフ状態となる。

【0089】

このとき、第2実施形態では、第2回路部14b12のトランジスタPT10のゲートに、Lレベルのスタート信号HSTが供給されるので、トランジスタPT10はオン状態になっている。これにより、ノードND3の電位がLレベルに低下するので、第2回路部14b12のトランジスタPT1がオン状態となる。この状態では、第2回路部14b12のトランジスタPT2はオフ状態であるので、ノードND4の電位がHVSS側に低下する。

【0090】

この際、ノードND3の電位（トランジスタPT1のゲート電位）は、第2回路部14b12の容量C1によって、トランジスタPT1のゲートソース間電

圧が維持されるように、ノードND4の電位（トランジスタPT1のソース電位）の低下に伴って低下する。また、第2回路部14b12において、トランジスタPT3がオフ状態であるとともに、トランジスタPT14には、クロック信号線からのHレベルのクロック信号HCLK1がノードND3側に逆流することはないので、容量C1の保持電圧（トランジスタPT1のゲート-ソース間電圧）は維持される。これにより、ノードND4の電位が低下していくときに、第2回路部14b12のトランジスタPT1が常時オン状態に維持されるので、ノードND4の電位がHVSSまで低下する。その結果、1段目のダミーシフトレジスタ回路14b1からLレベルの出力信号Dummy-SR1が出力される。

【0091】

なお、第2回路部14b12において、ノードND4の電位がHVSSまで低下したときのノードND3の電位は、HVSSよりも低くなっている。このため、正側電位HVDDに接続されたトランジスタPT3に印加されるバイアス電圧は、HVDDとHVSSとの電位差よりも大きくなる。

【0092】

次に、クロック信号HCLK1がHレベルになることによって、第1回路部14b11のトランジスタPT14および第2回路部14b12のトランジスタPT14がオフ状態となる。この後、スタート信号HSTがHレベルになることによって、第1回路部14b11のトランジスタPT2およびPT3と、第2回路部14b12のトランジスタPT10とがオフ状態となる。この場合には、ノードND1およびND2がHレベルに保持された状態でフローティング状態となる。また、第2回路部14b12のオフ状態のトランジスタPT14と容量C1とにより、ノードND4の電位がHVSS（Lレベル）に保持されている。これにより、1段目のダミーシフトレジスタ回路14b1からは、Lレベルの出力信号Dummy-SR1が出力され続ける。

【0093】

そして、1段目のダミーシフトレジスタ回路14b1のLレベルの出力信号Dummy-SR1は、2段目のダミーシフトレジスタ回路14b2の第1回路部14b21に供給される。この状態で、2段目のダミーシフトレジスタ回路14

b 2 に L レベルのクロック信号 H C L K 2 が入力されると、2 段目のダミーシフトレジスタ回路 1 4 b 2 では、1 段目のシフトレジスタ回路 1 4 b 1 に L レベルのスタート信号 H S T および L レベルのクロック信号 H C L K 1 が供給された場合の上記した動作と同様の動作が行われる。これにより、2 段目のダミーシフトレジスタ回路 1 4 b 2 から L レベルの出力信号 D u m m y - S R 2 が出力される。

【0094】

次に、再度、クロック信号 H C L K 1 が L レベルになることによって、第 1 回路部 1 4 b 1 1 のトランジスタ P T 1 4 および第 2 回路部 1 4 b 1 2 のトランジスタ P T 1 4 がオン状態となる。

【0095】

この際、第 2 実施形態では、1 段目のダミーシフトレジスタ回路 1 4 b 1 の第 1 回路部 1 4 b 1 1 のトランジスタ P T 1 0 のゲートに、2 段目のダミーシフトレジスタ回路 1 4 b 2 の L レベルの出力信号 D u m m y - S R 2 が供給されるので、第 1 回路部 1 4 b 1 1 のトランジスタ P T 1 0 がオン状態となる。これにより、第 1 回路部 1 4 b 1 1 のトランジスタ P T 1 がオン状態となるので、ノード N D 2 が L レベルになる。その結果、第 2 回路部 1 4 b 1 2 のトランジスタ P T 2 および P T 3 がオン状態となる。

【0096】

このとき、第 2 実施形態では、第 2 回路部 1 4 b 1 2 のトランジスタ P T 1 0 のゲートに H レベルのスタート信号 H S T が供給されるので、トランジスタ P T 1 0 がオフ状態となる。このため、第 2 回路部 1 4 b 1 2 において、トランジスタ P T 3 とトランジスタ P T 1 4 とがオン状態であっても、トランジスタ P T 3 および P T 1 4 を介して H V D D からクロック信号線 H C L K 1 に貫通電流が流れることはない。

【0097】

また、第 2 回路部 1 4 b 1 2 において、トランジスタ P T 3 がオン状態で、トランジスタ P T 1 0 がオフ状態であるので、ノード N D 3 の電位が H レベルに上昇する。これにより、第 2 回路部 1 4 b 1 2 のトランジスタ P T 1 がオフ状態と

なるので、ノードND4の電位がHVDDまで上昇する。その結果、1段目のダミーシフトレジスタ回路14b1からHレベルの出力信号Dummy-SR1が出力される。

【0098】

以上のように、第2実施形態では、1段目のダミーシフトレジスタ回路14b1の第1回路部14b11にLレベルのスタート信号HSTが入力されているときに、Lレベルのクロック信号HCLK1が入力されると、第2回路部14b12からLレベルの出力信号Dummy-SR1が出力される。そして、第2回路部14b12からLレベルの出力信号Dummy-SR1が出力されている状態で、再度、Lレベルのクロック信号HCLK1が入力されると、第2回路部14b12からの出力信号Dummy-SR1はHレベルになる。そして、1段目のダミーシフトレジスタ回路14b1からの出力信号Dummy-SR1は、2段目のダミーシフトレジスタ回路14b2の第1回路部14b21に入力される。このように、前段のシフトレジスタ回路からのLレベルの出力信号が次段のシフトレジスタ回路に入力されるとともに、Lレベルになるタイミングが互いにずれたクロック信号HCLK1およびHCLK2が、各段のシフトレジスタ回路に交互に入力されることによって、各段のシフトレジスタ回路からLレベルの出力信号が出力されるタイミングがシフトする。

【0099】

そして、タイミングがシフトしたLレベルの信号が水平スイッチ3の各段のトランジスタPT30に入力されることにより、各段のトランジスタPT30は、順次、オン状態になる。これにより、各段のドレイン線にビデオ信号線Videoからビデオ信号が供給されるので、各段のドレイン線は、順次、駆動（走査）される。なお、ダミーシフトレジスタ回路14b1、14b2および14b3の出力信号Dummy-SR1、Dummy-SR2およびDummy-SR3が入力されるトランジスタPT30では、ドレインがドレイン線に接続されていないので、トランジスタPT30がオン状態になってもドレイン線にビデオ信号は供給されない。

【0100】

そして、一本のゲート線に繋がる全ての段のドレイン線の走査が終了すると、次のゲート線が選択される。そして、再び各段のドレイン線が順次走査された後、次のゲート線が選択される。この動作が最後のゲート線の走査が終了されるまで繰り返されることによって、一画面の走査が終了する。

【0101】

なお、図7に示したように、最終段側のダミーシフトレジスタ回路14b3に接続されるとともに、水平スイッチ3に接続されないシフトレジスタ回路14a(n+1)の第1回路部14a(n+1)1のトランジスタPT10のゲートには、常にLレベルの信号が供給されている。このため、この第1回路部14a(n+1)1のトランジスタPT10は、常にオン状態となっている。

【0102】

第2実施形態では、上記のように、次段の出力信号SR(m+1)に応答してオンする第1回路部のトランジスタPT10と、前段の出力信号SR(m-1)またはスタート信号HSTに応答してオンする第2回路部のトランジスタPT10とを設けることによって、次段の出力信号SR(m+1)と前段の出力信号SR(m-1)とは同時にLレベルになることがないので、第1回路部のトランジスタPT10と第2回路部のトランジスタPT10とが同時にオン状態になることがない。そして、第1回路部のトランジスタPT3が前段の出力信号SR(m-1)またはスタート信号HSTに応答してオンするので、第1回路部において、トランジスタPT10とトランジスタPT3とが同時にオン状態になることがない。このため、第1回路部において、トランジスタPT10とトランジスタPT3とを介して、正側電位HVDDとクロック信号線との間に貫通電流が流れることを抑制することができる。また、第2回路部のトランジスタPT3は、前段の出力信号SR(m-1)またはスタート信号HSTに応答してオンする第2回路部のトランジスタPT10がオン状態の期間はオフ状態になるので、第2回路部において、トランジスタPT10とトランジスタPT3とが同時にオン状態になることがない。このため、第2回路部において、トランジスタPT10とトランジスタPT3とを介して、正側電位HVDDとクロック信号線との間に貫通電流が流れることを抑制することができる。

【0103】

また、第2実施形態では、上記第1実施形態と同様、トランジスタPT2がオン状態のときにトランジスタPT1をオフ状態にするためのトランジスタPT3により、トランジスタPT1とトランジスタPT2とを介しての正側電位HVDと負側電位HVSとの間の貫通電流を抑制することができる。これにより、第2実施形態では、トランジスタPT1およびトランジスタPT2を介しての正側電位HVDと負側電位HVSとの間の貫通電流のみならず、トランジスタPT3とトランジスタPT10とを介しての正側電位HVDとクロック信号線との間の貫通電流をも抑制することができるので、第1実施形態に比べて、液晶表示装置の消費電流が増加することをより抑制することができる。

【0104】

また、第2実施形態では、ドレイン線に接続された複数段のシフトレジスタ回路14a1、14a2、…および14anの前段（動作開始側）に、ドレイン線に接続されない2段のダミーシフトレジスタ回路14b1および14b2を設けることによって、動作開始側から2段目のシフトレジスタ回路はドレイン線に接続されていない2段目のダミーシフトレジスタ回路14b2になるので、動作開始側から2段目のシフトレジスタ回路に対応する領域に表示ムラが発生するのを抑制することができる。また、ドレイン線に接続された複数段のシフトレジスタ回路14a1、14a2、…および14anの最終段（シフトレジスタ回路14an）の次段に、ドレイン線に接続されないダミーシフトレジスタ回路14b3を設けることによって、最終段のシフトレジスタ回路はドレイン線に接続されないダミーシフトレジスタ回路14b3になるので、最終段のシフトレジスタ回路に対応する領域に表示ムラが発生するのを抑制することができる。

【0105】

なお、第2実施形態のその他の効果は、上記第1実施形態と同様である。

【0106】

(第3実施形態)

図9は、本発明の第3実施形態による液晶表示装置のHドライバを構成するシフトレジスタ回路の回路図である。図10は、図9に示したシフトレジスタ回路

の最終段の回路図である。図9および図10を参照して、この第3実施形態では、表示ムラの発生を抑制することができるとともに、第1実施形態に比べて、貫通電流が流れるのをより抑制することが可能なHドライバの他の例について説明する。まず、図9および図10を参照して、第3実施形態による液晶表示装置のHドライバの回路構成について説明する。

【0107】

この第3実施形態による液晶表示装置のHドライバ24は、図9および図10に示すように、ドレイン線に接続された複数段のシフトレジスタ回路24a1、24a2、…および24anを備えている。

【0108】

ここで、第3実施形態では、ドレイン線に接続されたシフトレジスタ回路24a1、24a2、…および24anの前段には、ドレイン線に接続されない2段のダミーシフトレジスタ回路24b1および24b2が設けられている。また、第3実施形態では、図10に示すように、ドレイン線に接続されたシフトレジスタ回路24a1、24a2、…および24anの最終段の次段には、ダミーシフトレジスタ回路24b3が設けられている。このダミーシフトレジスタ回路24b3の次段には、水平スイッチ3に接続されないシフトレジスタ回路24a(n+1)が設けられている。なお、ダミーシフトレジスタ回路24b1および24b2は、本発明における「第1ダミーシフトレジスタ回路」の一例である。また、ダミーシフトレジスタ回路24b3は、本発明における「第2ダミーシフトレジスタ回路」の一例である。

【0109】

また、第3実施形態では、図9に示すように、1段目（初段）のダミーシフトレジスタ回路24b1にスタート信号HSTが入力されるように構成されている。これにより、2段のダミーシフトレジスタ回路24b1および24b2を設けない場合に比べて、スタート信号HSTが入力されるシフトレジスタ回路の位置を2段分前段側へずらすことができるので、スタート信号HSTを入力するタイミングをクロック2個分前へずらすことが可能となる。

【0110】

また、1段目のダミーシフトレジスタ回路24b1は、第1回路部24b11および第2回路部24b12によって構成されている。なお、この第1回路部24b11および第2回路部24b12は、本発明における「第1回路部」の一例である。第1回路部24b11および第2回路部24b12は、pチャネルトランジスタPT1、PT2、PT3、PT24およびPT25と、pチャネルトランジスタのソースドレイン間を接続することにより形成された容量C1およびC2とを含んでいる。

【0111】

すなわち、第3実施形態の第1回路部24b11および第2回路部24b12は、上記第1実施形態の第1回路部4b11および第2回路部4b12（図2参照）の回路構成において、pチャネルトランジスタPT4に代えて、pチャネルトランジスタPT24およびpチャネルトランジスタPT25を追加するとともに、pチャネルトランジスタPT24およびpチャネルトランジスタPT25の接触点P1とノードND2との間に容量C2を追加した回路構成を有する。なお、pチャネルトランジスタPT24およびPT25は、本発明における「第4トランジスタ」および「第5トランジスタ」の一例である。また、容量C2は、本発明における「第2容量」の一例である。

【0112】

また、第3実施形態では、第1回路部24b11および第2回路部24b12に設けられたpチャネルトランジスタPT1～PT3、PT24およびPT25、および、容量C1およびC2を構成するpチャネルトランジスタは、全てp型のMOSトランジスタ（電界効果型トランジスタ）からなるTFET（薄膜トランジスタ）によって構成されている。以下、pチャネルトランジスタPT1～PT3、PT24およびPT25は、それぞれ、トランジスタPT1～PT3、PT24およびPT25と称する。

【0113】

また、第3実施形態では、トランジスタPT3は、上記第1実施形態によるダミーシフトレジスタ回路4b1（図2参照）のトランジスタPT3と同様に、互いに電氣的に接続された2つのゲート電極91および92（図4参照）を有する

ように形成されている。

【0114】

また、図9に示すように、第1回路部24b11において、トランジスタPT1のソースはノードND2に接続されているとともに、ドレインは負側電位HVSSに接続されている。また、トランジスタPT1のゲートはノードND1に接続されている。また、トランジスタPT2のソースは正側電位HVDDに接続されているとともに、ドレインはノードND2に接続されている。このトランジスタPT2のゲートにはスタート信号HSTが供給される。

【0115】

ここで、第3実施形態では、トランジスタPT3は、トランジスタPT1のゲートと正側電位HVDDとの間に接続されている。このトランジスタPT3のゲートにはスタート信号HSTが供給される。そして、トランジスタPT3は、トランジスタPT2がオン状態のときに、トランジスタPT1をオフ状態にするために設けられている。これにより、トランジスタPT2とトランジスタPT1とが同時にオン状態になることが抑制される。

【0116】

また、第3実施形態では、容量C1はトランジスタPT1のゲートとソースとの間に接続されている。また、第3実施形態では、トランジスタPT1のゲートが接続されたノードND1と負側電位HVSSとの間には、トランジスタPT24が接続されている。このトランジスタPT24のゲートにはクロック信号HCLK1が供給される。また、トランジスタPT24と負側電位HVSSとの間には、トランジスタPT25が接続されている。このトランジスタPT25のゲートには、クロック信号HCLK1の反転クロック信号であるクロック信号HCLK2が供給される。なお、クロック信号HCLK1とクロック信号HCLK2とは、駆動IC6（図1参照）において、1つのクロック信号から生成される。また、クロック信号HCLK1およびクロック信号HCLK2は、本発明における「第1の信号」および「第2の信号」の一例である。

【0117】

また、第1回路部24b11のノードND2には、第2回路部24b12が接

続されている。第2回路部24b12における回路構成は、第1回路部24b11の回路構成と同様である。ただし、第2回路部24b12では、トランジスタPT1のソースおよびトランジスタPT2のドレインは、それぞれ、ノードND4に接続されているとともに、トランジスタPT1のゲートはノードND3に接続されている。

【0118】

そして、第2回路部24b12のノードND4（出力ノード）からは、1段目のダミーシフトレジスタ回路24b1の出力信号Dummy-SR1が出力される。また、1段目のダミーシフトレジスタ回路24b1のノードND4（出力ノード）には、2段目のダミーシフトレジスタ回路24b2が接続されている。

【0119】

また、2段目のダミーシフトレジスタ回路24b2、複数段のシフトレジスタ回路24a1、24a2、…、24anおよび24a(n+1)、および、最終段側に設けられたダミーシフトレジスタ回路24b3も、上記した1段目のダミーシフトレジスタ回路24b1と同様の回路構成を有している。すなわち、2段目のダミーシフトレジスタ回路24b2および最終段側に設けられたダミーシフトレジスタ回路24b3は、それぞれ、1段目のダミーシフトレジスタ回路24b1の第1回路部24b11および第2回路部24b12と同様の構成を有する第1回路部24b21および24b31と第2回路部24b22および24b32とによって構成されている。また、複数段のシフトレジスタ回路24a1、24a2、…、24anおよび24a(n+1)は、それぞれ、1段目のダミーシフトレジスタ回路24b1の第1回路部24b11および第2回路部24b12と同様の構成を有する第1回路部24a11、24a21、…、24an1および24a(n+1)1と第2回路部24a12、24a22、…、24an2および24a(n+1)2とによって構成されている。なお、後段のシフトレジスタ回路の第1回路部は、前段のシフトレジスタ回路の出力ノードに接続されるように構成されている。

【0120】

また、図9および図10に示すように、水平スイッチ3には、各段毎にトラン

ジスタPT30が設けられている。各段のトランジスタPT30のゲートは、各段の出力ノードであるノードND4に接続されている。これにより、各段のトランジスタPT30には、各段の出力信号(Dummy-SR1、Dummy-SR2、SR1、SR2、…、SRnおよびDummy-SR3)が供給される。このトランジスタPT30のソースはビデオ信号線Videoに接続されているとともに、ドレインはドレイン線に接続されている。なお、各段毎に設けられたトランジスタPT30のうち、ダミーシフトレジスタ回路24b1、24b2および24b3に接続されたトランジスタPT30のドレインは、ドレイン線に接続されていない。

【0121】

図11は、図9に示した第3実施形態による液晶表示装置のHドライバのシフトレジスタ回路のタイミングチャートである。なお、図11において、Dummy-SR1、Dummy-SR2、SR1およびSR2は、それぞれ、1段目および2段目のダミーシフトレジスタ回路24b1および24b2、および、1段目および2段目のシフトレジスタ回路24a1および24a2からの出力信号を示している。次に、図9～図11を参照して、第3実施形態による液晶表示装置のHドライバのシフトレジスタ回路の動作について説明する。

【0122】

まず、初期状態として、Hレベルのスタート信号HSTが1段目のダミーシフトレジスタ回路24b1の第1回路部24b11に入力されている。これにより、トランジスタPT2は、オフ状態になるため、ノードND2の電位はLレベルとなる。このため、第2回路部24b12のトランジスタPT2およびPT3は、オン状態になる。第2回路部24b12のトランジスタPT3がオン状態になることにより、ノードND3の電位はHレベルになるので、トランジスタPT1はオフ状態になる。このように、第2回路部24b12では、トランジスタPT2がオン状態になるとともに、トランジスタPT1がオフ状態になるので、ノードND4の電位はHレベルになる。これにより、初期状態では、1段目のダミーシフトレジスタ回路24b1の第2回路部24b12からHレベルの出力信号Dummy-SR1が出力されている。

【0123】

また、この初期状態において、第1回路部24b11および第2回路部24b12では、トランジスタPT24にHレベルのクロック信号HCLK1が入力されるとともに、トランジスタPT25にLレベルのクロック信号HCLK2が入力されている。これにより、第1回路部24b11および第2回路部24b12では、トランジスタPT24がオフ状態になるとともに、トランジスタPT25がオン状態になる。

【0124】

この際、第3実施形態では、第1回路部24b11および第2回路部24b12において、負側電位HVSSからトランジスタPT25を介してLレベルの電荷が供給されるとともに、そのLレベルの電荷は、トランジスタPT1のソースと、トランジスタPT24およびPT25の接続点P1との間に接続された容量C2に蓄積される。

【0125】

この状態で、Lレベルのスタート信号HSTが入力されると、第1回路部24b11のトランジスタPT2およびPT3はオン状態となる。これにより、ノードND1およびノードND2の電位は共にHレベルとなるので、トランジスタPT1はオフ状態に保持される。そして、ノードND2の電位がHレベルになることにより、第2回路部24b12のトランジスタPT2およびPT3はオフ状態となる。このとき、ノードND3の電位はHレベルの状態に保持されるので、第2回路部24b12のトランジスタPT1はオフ状態のまま保持される。このため、ノードND4の電位はHレベルのまま保持される。これにより、第2回路部24b12からHレベルの出力信号Dummy-SR1が出力される。

【0126】

次に、第1回路部24b11のトランジスタPT24に入力されるクロック信号HCLK1がLレベルになるとともに、トランジスタPT25に入力されるクロック信号HCLK2がHレベルになる。

【0127】

この際、第3実施形態では、第1回路部24b11において、トランジスタP

T24 がオン状態になるとともに、トランジスタ PT25 がオフ状態になる。この場合には、トランジスタ PT25 がオフ状態になることによって、トランジスタ PT3 および PT24 がオン状態であったとしても、第1回路部 24b11 のトランジスタ PT3、トランジスタ PT24 およびトランジスタ PT25 を介して、負側電位 HVSS と正側電位 HVDD との間に貫通電流が流れることが抑制される。また、第1回路部 24b11 のトランジスタ PT3 はオン状態であるため、ノード ND1 の電位は H レベルに保持される。これにより、第1回路部 24b11 のトランジスタ PT1 は、オフ状態に保持される。

【0128】

一方、第2回路部 24b12 においても、トランジスタ PT24 に入力されるクロック信号 HCLK1 が L レベルになるとともに、トランジスタ PT25 に入力されるクロック信号 HCLK2 が H レベルになる。これにより、第2回路部 24b12 のトランジスタ PT24 がオン状態になるとともに、トランジスタ PT25 がオフ状態になる。

【0129】

この際、第3実施形態では、第2回路部 24b12 において、初期状態で容量 C2 に蓄積された L レベルの電荷が、トランジスタ PT24 を介して供給される。このとき、第2回路部 24b12 のトランジスタ PT3 は、オフ状態であるのでノード ND3 の電位は L レベルになる。これにより、第2回路部 24b12 のトランジスタ PT1 がオン状態となる。

【0130】

このとき、第2回路部 24b12 のトランジスタ PT2 は、オフ状態であるため、オン状態のトランジスタ PT1 を介して、ノード ND4 の電位は負側電位 HVSS 側に低下する。この場合、ノード ND3 の電位（トランジスタ PT1 のゲート電位）は、第2回路部 24b12 の容量 C1 によって、トランジスタ PT1 のゲート-ソース間電圧が維持されるように、ノード ND4 の電位（トランジスタ PT1 のソース電位）の低下に伴って低下する。また、第2回路部 24b12 では、トランジスタ PT3 とトランジスタ PT25 とがオフ状態であるので、容量 C1 の保持電圧（トランジスタ PT1 のゲート-ソース間電圧）は維持される。

。これにより、ノードND4の電位が低下していくときに、第2回路部24b12のトランジスタPT1が常時オン状態に維持されるので、出力電位であるノードND4の電位はHVSSまで低下する。その結果、第2回路部24b12からLレベルの出力信号Dummy-SR1が出力される。

【0131】

なお、第2回路部24b12において、ノードND4の電位がHVSSまで低下したときのノードND3の電位は、HVSSよりも低くなっている。このため、正側電位HVDDに接続されたトランジスタPT3に印加されるバイアス電圧は、HVDDとHVSSとの電位差よりも大きくなる。

【0132】

次に、第1回路部24b11および第2回路部24b12において、トランジスタPT24に入力されるクロック信号HCLK1がHレベルになるとともに、トランジスタPT25に入力されるクロック信号HCLK2がLレベルになる。これにより、第1回路部24b11および第2回路部24b12において、トランジスタPT24がオフ状態になるとともに、トランジスタPT25がオン状態になる。この場合にも、ノードND1およびノードND2の電位は、Hレベルに維持される。また、ノードND3およびノードND4はLレベルに保持された状態でフローティング状態となる。このため、第2回路部24b12からは、Lレベルの出力信号Dummy-SR1が維持される。

【0133】

この際、第3実施形態では、第1回路部24b11および第2回路部24b12において、クロック信号HCLK1がHレベルであり、かつ、クロック信号HCLK2がLレベルである期間に、負側電位HVSSからトランジスタPT25を介してLレベルの電荷が供給されるとともに、そのLレベルの電荷が容量C2に蓄積される。

【0134】

次に、第1回路部24b11に入力されるスタート信号HSTがHレベルになると、第1回路部24b11のトランジスタPT2およびPT3がオフ状態になる。この場合には、ノードND1およびノードND2はHレベルに保持された状

態でフローティング状態となる。このため、他の部分へ影響が与えられることはないので、第2回路部24b12からは、Lレベルの出力信号Dummy-SR1が維持される。

【0135】

次に、第1回路部24b11において、トランジスタPT24に入力されるクロック信号HCLK1がLレベルになるとともに、トランジスタPT25に入力されるクロック信号HCLK2がHレベルになる。これにより、第1回路部24b11のトランジスタPT24がオン状態になるとともに、トランジスタPT25がオフ状態になる。

【0136】

この際、第3実施形態では、第1回路部24b11の容量C2に蓄積されたLレベルの電荷が、トランジスタPT24を介して供給される。このとき、第1回路部24b11のトランジスタPT3はオフ状態であるのでノードND1の電位はLレベルとなる。これにより、第1回路部24b11のトランジスタPT1がオン状態となる。このため、ノードND2の電位は、負側電位HVSS側に低下する。この場合、ノードND1は、容量C1によって、トランジスタPT1のゲートソース間電圧が維持されるように、ノードND2の電位の低下に伴って電位が低下する。また、トランジスタPT3とトランジスタPT25とがオフ状態であるので、容量C1の保持電圧（トランジスタPT1のゲートソース間電圧）は維持される。これにより、ノードND2の電位が低下していくときに、トランジスタPT1が常時オン状態に維持されるので、ノードND2の電位はHVSSまで低下してLレベルになる。このため、第2回路部24b12のトランジスタPT2およびPT3はオン状態になる。

【0137】

そして、第2回路部24b12のトランジスタPT3がオン状態になることにより、ノードND3の電位がHレベルに上昇するので、トランジスタPT1はオフ状態にされる。これにより、第2回路部24b12のトランジスタPT1とトランジスタPT2とが同時にオン状態になるのが抑制されるので、第2回路部24b12のトランジスタPT1およびPT2を介して負側電位HVSSと正側電

位HVDDとの間に貫通電流が流れることが抑制される。

【0138】

一方、第2回路部24b12においても、トランジスタPT24に入力されるクロック信号HCLK1がLレベルになるとともに、トランジスタPT25に入力されるクロック信号HCLK2がHレベルになる。

【0139】

この際、第3実施形態では、第2回路部24b12において、トランジスタPT24がオン状態になるとともに、トランジスタPT25がオフ状態になる。この場合には、トランジスタPT25がオフ状態になることにより、第2回路部24b12のトランジスタPT3、PT24およびPT25を介して負側電位HVSと正側電位HVDDとの間に貫通電流が流れることが抑制される。

【0140】

そして、第2回路部24b12のトランジスタPT2がオン状態になるとともに、トランジスタPT1がオフ状態になることにより、ノードND4の電位はHVSからHVDDに上昇してHレベルになる。このため、第2回路部24b12からHレベルの出力信号Dummy-SR1が出力される。

【0141】

以上のように、第3実施形態では、1段目のダミーシフトレジスタ回路24b1の第1回路部24b11にLレベルのスタート信号HSTが入力されている場合に、Lレベルのクロック信号HCLK1が入力されるとともに、Hレベルのクロック信号HCLK2が入力されると、第2回路部24b12からLレベルの出力信号Dummy-SR1が出力される。そして、その後、入力されるクロック信号HCLK1がHレベルになるとともに、クロック信号HCLK2がLレベルになった後、再度、クロック信号HCLK1がLレベルになるとともに、クロック信号HCLK2がHレベルになると、第2回路部24b12からの出力信号Dummy-SR1はHレベルになる。

【0142】

なお、1段目のダミーシフトレジスタ回路24b1の第2回路部24b12からの出力信号Dummy-SR1は、2段目のダミーシフトレジスタ回路24b

2の第1回路部24b21に入力される。2段目のダミーシフトレジスタ回路24b2では、第1回路部24b21に1段目のダミーシフトレジスタ回路24b1のLレベルの出力信号Dummy-SR1が入力されている場合に、Hレベルのクロック信号HCLK1およびLレベルのクロック信号HCLK2が入力されると、第2回路部24b22からLレベルの出力信号Dummy-SR2が出力される。さらに、1段目のシフトレジスタ回路24a1では、第1回路部24a11に2段目のダミーシフトレジスタ回路24b2のLレベルの出力信号Dummy-SR2が入力されている場合に、Lレベルのクロック信号HCLK1およびHレベルのクロック信号HCLK2が入力されると、第2回路部24a12からLレベルの出力信号SR1が出力される。

【0143】

また、2段目のシフトレジスタ回路24a2では、第1回路部24a21に1段目のシフトレジスタ回路24a1のLレベルの出力信号SR1が入力されている場合に、Lレベルのクロック信号HCLK1およびHレベルのクロック信号HCLK2が入力されると、第2回路部24a22からLレベルの出力信号SR2が出力される。このように、前段のシフトレジスタ回路からのLレベルの出力信号が次段のシフトレジスタ回路に入力されるとともに、クロック信号HCLK1およびクロック信号HCLK2が、各段のシフトレジスタ回路に入力されることによって、各段のシフトレジスタ回路からタイミングがシフトしたLレベルの出力信号が順次出力される。

【0144】

そして、タイミングがシフトしたLレベルの信号が水平スイッチ3の各段のトランジスタPT30に入力されることにより、各段のトランジスタPT30は、順次、オン状態になる。これにより、各段のドレイン線にビデオ信号線Videoからビデオ信号が供給されるので、各段のドレイン線は、順次、駆動（走査）される。なお、ダミーシフトレジスタ回路24b1、24b2および24b3の出力信号Dummy-SR1、Dummy-SR2およびDummy-SR3が入力されるトランジスタPT30では、ドレインがドレイン線に接続されていないので、オン状態になってもドレイン線にビデオ信号は供給されない。

【0145】

そして、1本のゲート線に繋がる全ての段のドレイン線の走査が終了すると、次のゲート線が選択される。そして、再び各段のドレイン線が順次走査された後、次のゲート線が選択される。この動作が、最後のゲート線に繋がる各段のドレイン線の走査が終了されるまで、繰り返されることによって、一画面の走査が終了する。

【0146】

第3実施形態では、上記のように、トランジスタPT1のゲートに接続され、クロック信号HCLK1に応答してオンするトランジスタPT24と、トランジスタPT24と負側電位HVSSとの間に接続され、クロック信号HCLK1の反転クロック信号であるクロック信号HCLK2に応答してオンするトランジスタPT25とを設けることによって、クロック信号HCLK1およびクロック信号HCLK2を用いて、トランジスタPT24がオン状態のときにトランジスタPT25をオフ状態にするとともに、トランジスタPT24がオフ状態のときにトランジスタPT25をオン状態にすることができる。これにより、トランジスタPT24およびトランジスタPT25のどちらか一方は、常にオフ状態になるので、正側電位HVDDに接続されたトランジスタPT3がオン状態である場合にも、トランジスタPT3、トランジスタPT24およびトランジスタPT25を介して、負側電位HVSSと正側電位HVDDとの間に貫通電流が流れることを抑制することができる。

【0147】

また、第3実施形態では、上記第1実施形態と同様、トランジスタPT2がオン状態のときにトランジスタPT1をオフ状態にするためのトランジスタPT3により、トランジスタPT1とトランジスタPT2とを介しての正側電位HVDDと負側電位HVSSとの間の貫通電流を抑制することができる。その結果、第3実施形態では、トランジスタPT1およびトランジスタPT2を介しての正側電位HVDDと負側電位HVSSとの間の貫通電流のみならず、トランジスタPT3、トランジスタPT24およびトランジスタPT25を介しての正側電位HVDDと負側電位HVSSとの間の貫通電流をも抑制することができるので、第

1 実施形態に比べて、液晶表示装置の消費電流が増加することをより抑制することができる。

【0148】

また、第3実施形態では、ドレイン線に接続された複数段のシフトレジスタ回路24a1、24a2、…および24anの前段（動作開始側）に、ドレイン線に接続されない2段のダミーシフトレジスタ回路24b1および24b2を設けることによって、動作開始側から2段目のシフトレジスタ回路はドレイン線に接続されていない2段目のダミーシフトレジスタ回路24b2になるので、動作開始側から2段目のシフトレジスタ回路に対応する領域に表示ムラが発生するのを抑制することができる。また、ドレイン線に接続された複数段のシフトレジスタ回路24a1、24a2、…および24anの最終段（シフトレジスタ回路24an）の次段に、ドレイン線に接続されないダミーシフトレジスタ回路24b3を設けることによって、最終段のシフトレジスタ回路はドレイン線に接続されないダミーシフトレジスタ回路24b3になるので、最終段のシフトレジスタ回路に対応する領域に表示ムラが発生することを抑制することができる。

【0149】

なお、第3実施形態のその他の効果は、上記第1実施形態と同様である。

【0150】

（第4実施形態）

図12は、本発明の第4実施形態による有機EL（Electroluminescence）表示装置を示した平面図である。図12を参照して、この第4実施形態では、本発明を有機EL表示装置に適用した例について説明する。

【0151】

この第4実施形態の有機EL表示装置では、図12に示すように、基板60上に表示部11が設けられている。なお、図12の表示部11は1画素分の構成を示している。また、表示部11にマトリクス状に配置された各画素12は、2つのpチャネルトランジスタ12aおよび12b（以下、トランジスタ12aおよび12bという）と、補助容量12cと、陽極12dと、それに対向配置された陰極12eと、これら陽極12dと陰極12eとの間に挟持された有機EL素子

12f によって構成されている。トランジスタ 12a のゲートはゲート線に接続されている。また、トランジスタ 12a のソースはドレイン線に接続されている。また、トランジスタ 12a のドレインには補助容量 12c およびトランジスタ 12b のゲートが接続されている。また、トランジスタ 12b のドレインは陽極 12d に接続されている。また、H ドライバ 4 内部の回路構成は、図 2 に示したトランジスタを用いたシフトレジスタ回路による H ドライバ 4 の構成と同様である。第 4 実施形態による有機 EL 表示装置のこれら以外の部分の構成は、図 1 に示した第 1 実施形態による液晶表示装置と同様である。

【0152】

第 4 実施形態では、上記のように構成することによって、有機 EL 表示装置において、表示部における表示ムラや H ドライバの消費電流の増加を抑制することができるなどの第 1 実施形態と同様の効果を得ることができる。

【0153】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0154】

たとえば、上記実施形態では、シフトレジスタ回路の動作開始側（初段側）にダミーシフトレジスタ回路を 2 段配置するとともに、最終段にダミーシフトレジスタ回路を 1 段配置するようにしたが、本発明はこれに限らず、シフトレジスタ回路の初段側または最終段のみにダミーシフトレジスタ回路を配置するようにしてもよい。また、初段側に 3 段以上のダミーシフトレジスタ回路を配置するようにしてもよい。

【0155】

また、上記実施形態では、本発明を液晶表示装置および有機 EL 表示装置に適用した例を示したが、本発明はこれに限らず、液晶表示装置および有機 EL 表示装置以外の表示装置にも適用可能である。

【0156】

また、上記実施形態では、Hドライバのみに本発明のシフトレジスタ回路を適用した例を示したが、本発明はこれに限らず、HドライバおよびVドライバの両方に本発明によるシフトレジスタ回路を適用するようにしてもよい。この場合には、消費電流をより低減することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態による液晶表示装置を示した平面図である。

【図 2】

図 1 に示した第 1 実施形態による液晶表示装置の H ドライバを構成するシフトレジスタ回路の回路図である。

【図 3】

図 2 に示したシフトレジスタ回路の最終段の回路図である。

【図 4】

2 つのゲート電極を有する p チャネルトランジスタの構造を説明するための模式図である。

【図 5】

図 1 に示した第 1 実施形態による液晶表示装置の H ドライバのシフトレジスタ回路のタイミングチャートである。

【図 6】

本発明の第 2 実施形態による液晶表示装置の H ドライバを構成するシフトレジスタ回路の回路図である。

【図 7】

図 6 に示したシフトレジスタ回路の最終段の回路図である。

【図 8】

図 6 に示した第 2 実施形態による液晶表示装置の H ドライバのシフトレジスタ回路のタイミングチャートである。

【図 9】

本発明の第 3 実施形態による液晶表示装置の H ドライバを構成するシフトレジスタ回路の回路図である。

【図 10】

図 9 に示したシフトレジスタ回路の最終段の回路図である。

【図 11】

図 9 に示した第 3 実施形態による液晶表示装置の H ドライバのシフトレジスタ回路のタイミングチャートである。

【図 12】

本発明の第 4 実施形態による有機 EL 表示装置を示した平面図である。

【図 13】

従来の抵抗負荷型のインバータ回路を備えたシフトレジスタ回路の回路図である。

【図 14】

図 13 に示した従来のシフトレジスタ回路のタイミングチャートである。

【符号の説明】

2、12 画素

4a1、4a2、4an、4a(n+1)、14a1、14a2、14an、
14a(n+1)、24a1、24a2、24an、24a(n+1) シフト
レジスタ回路

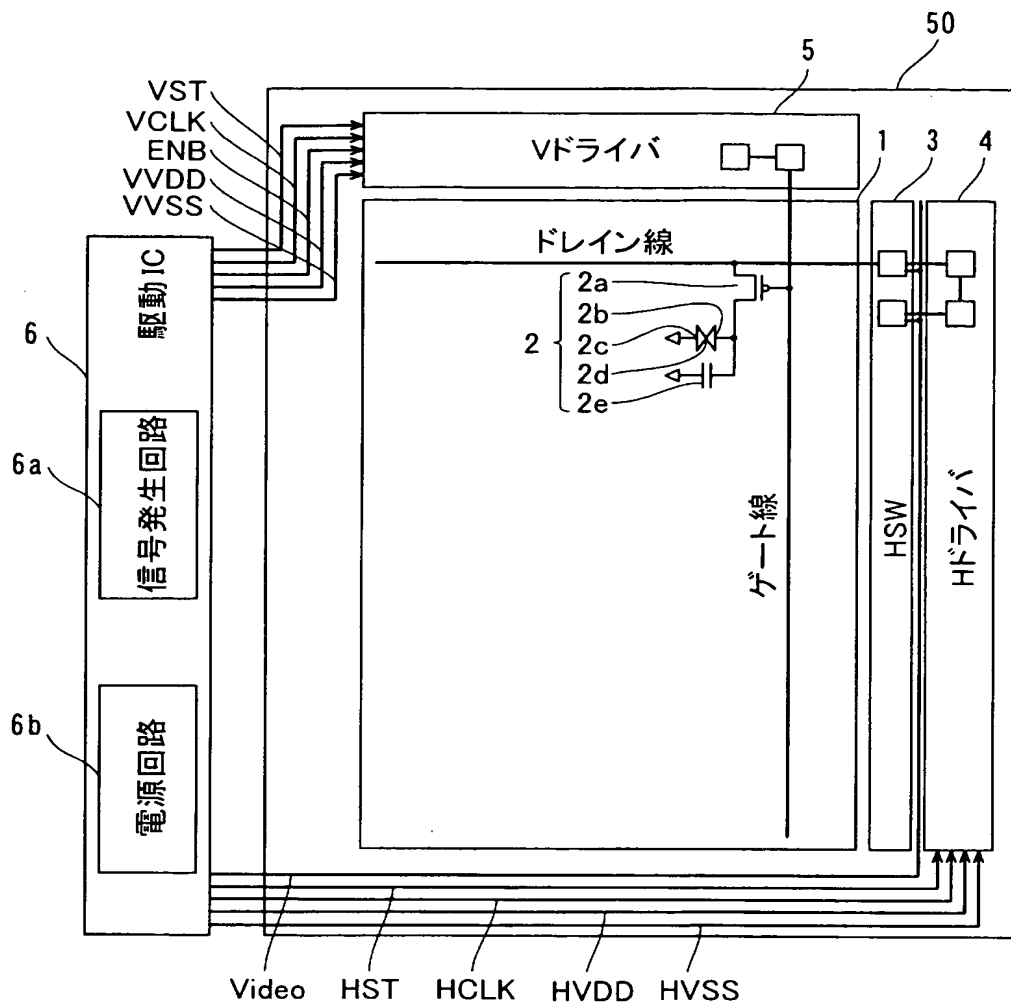
4b1、4b2、14b1、14b2、24b1、24b2 第 1 ダミーシフ
トレジスタ回路

4b3、14b3、24b3 第 2 ダミーシフトレジスタ回路

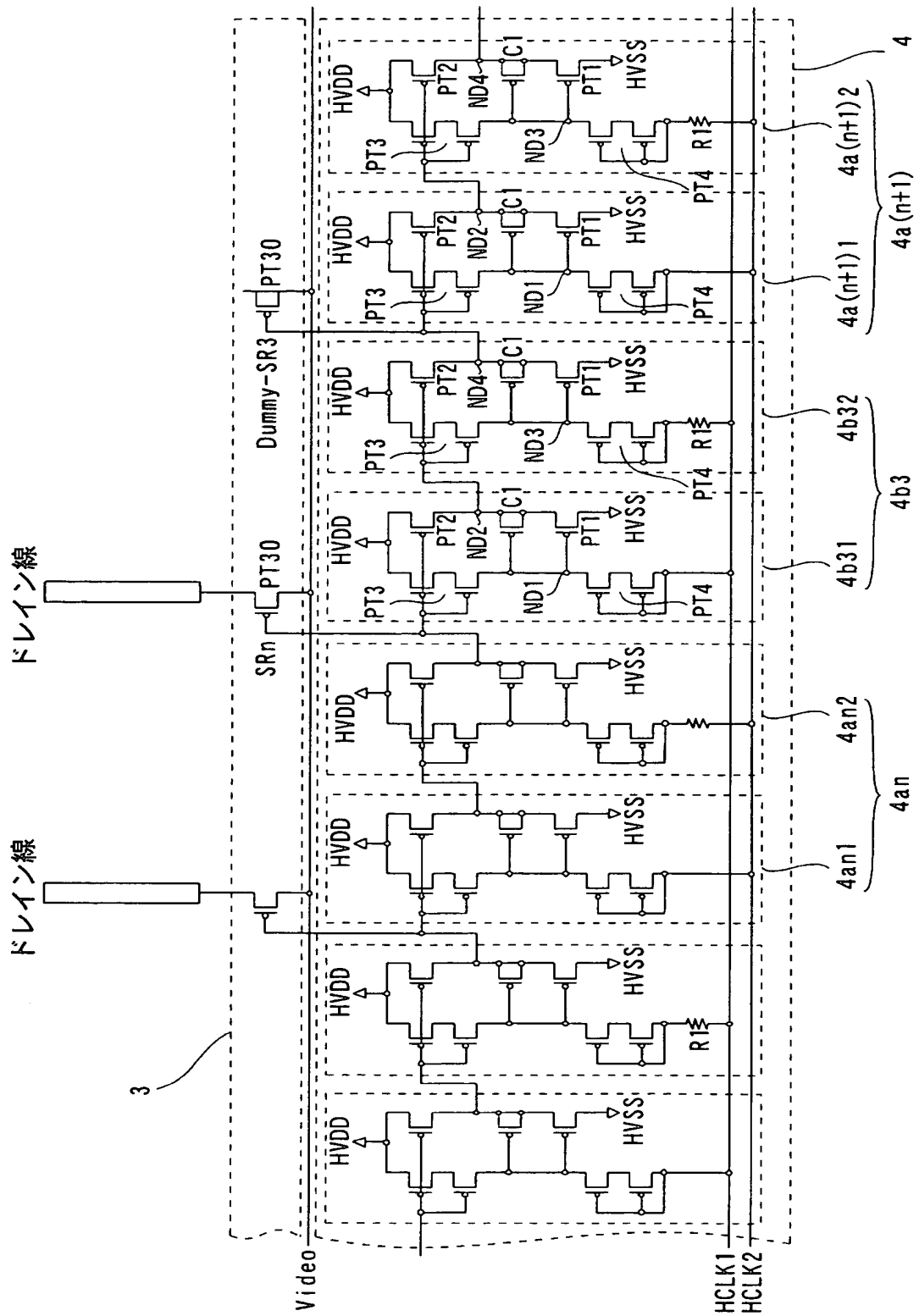
4a11、4a21、4an1、4a(n+1)1、4b11、4b21、4
b31、14a11、14a21、14an1、14a(n+1)1、14b1
1、14b21、14b31、24a11、24a21、24an1、24a(
n+1)1、24b11、24b21、24b31 第 1 回路部

【書類名】 図面

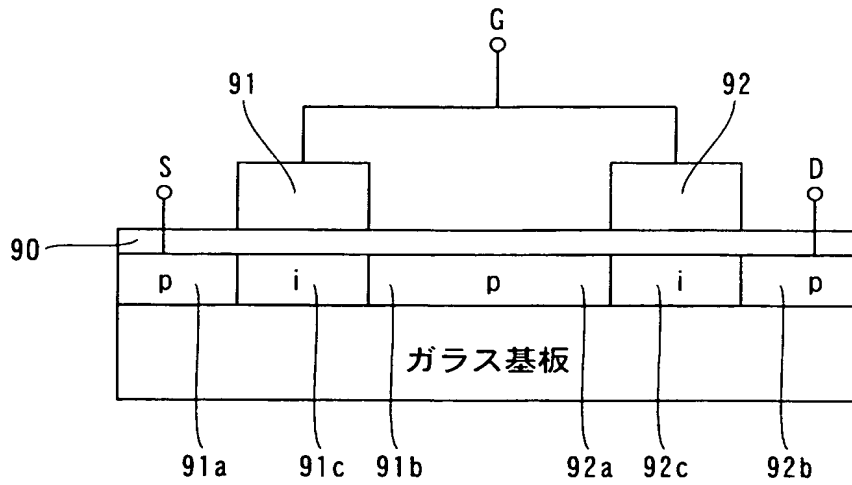
【図 1】



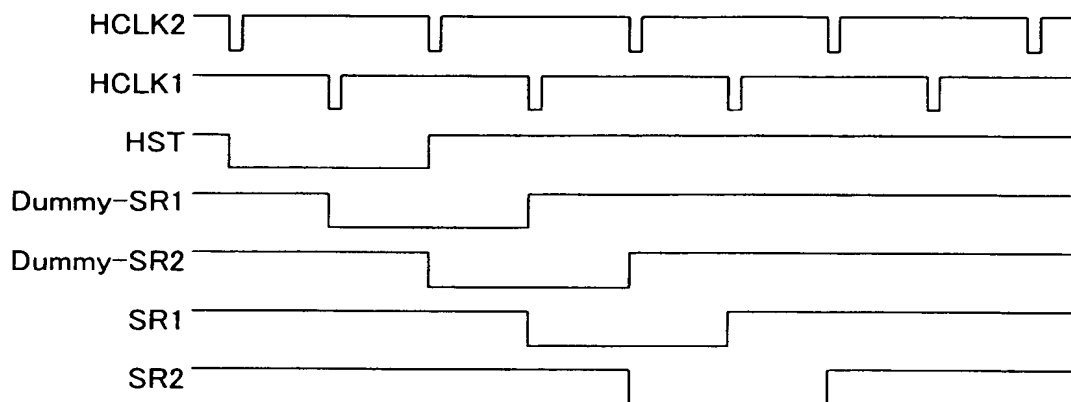
【図3】



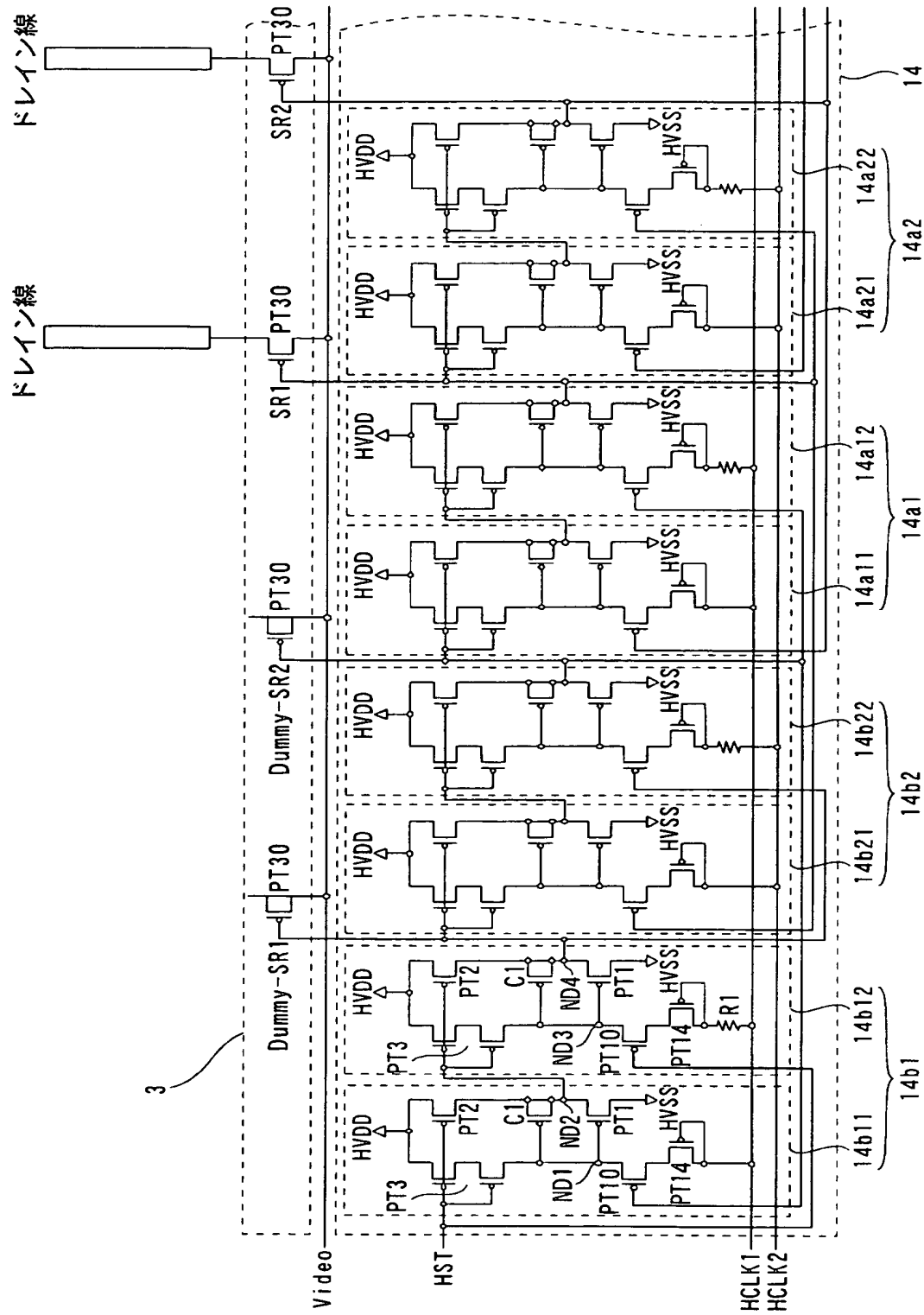
【図 4】



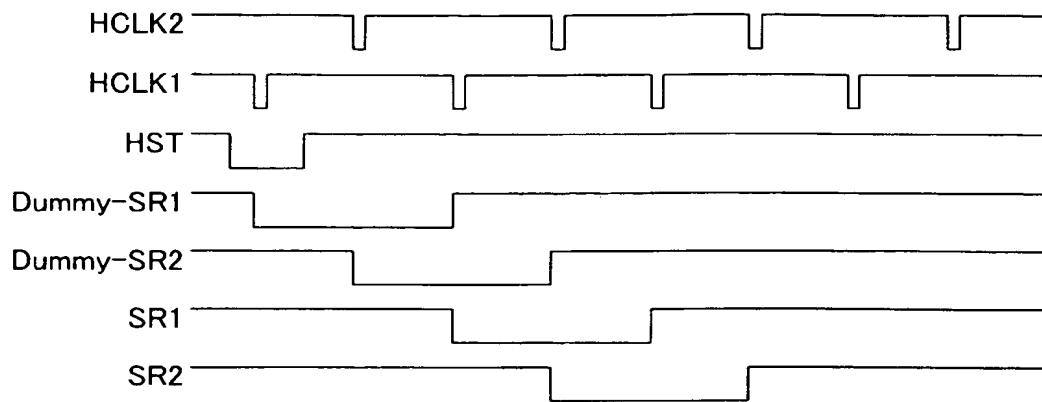
【図 5】



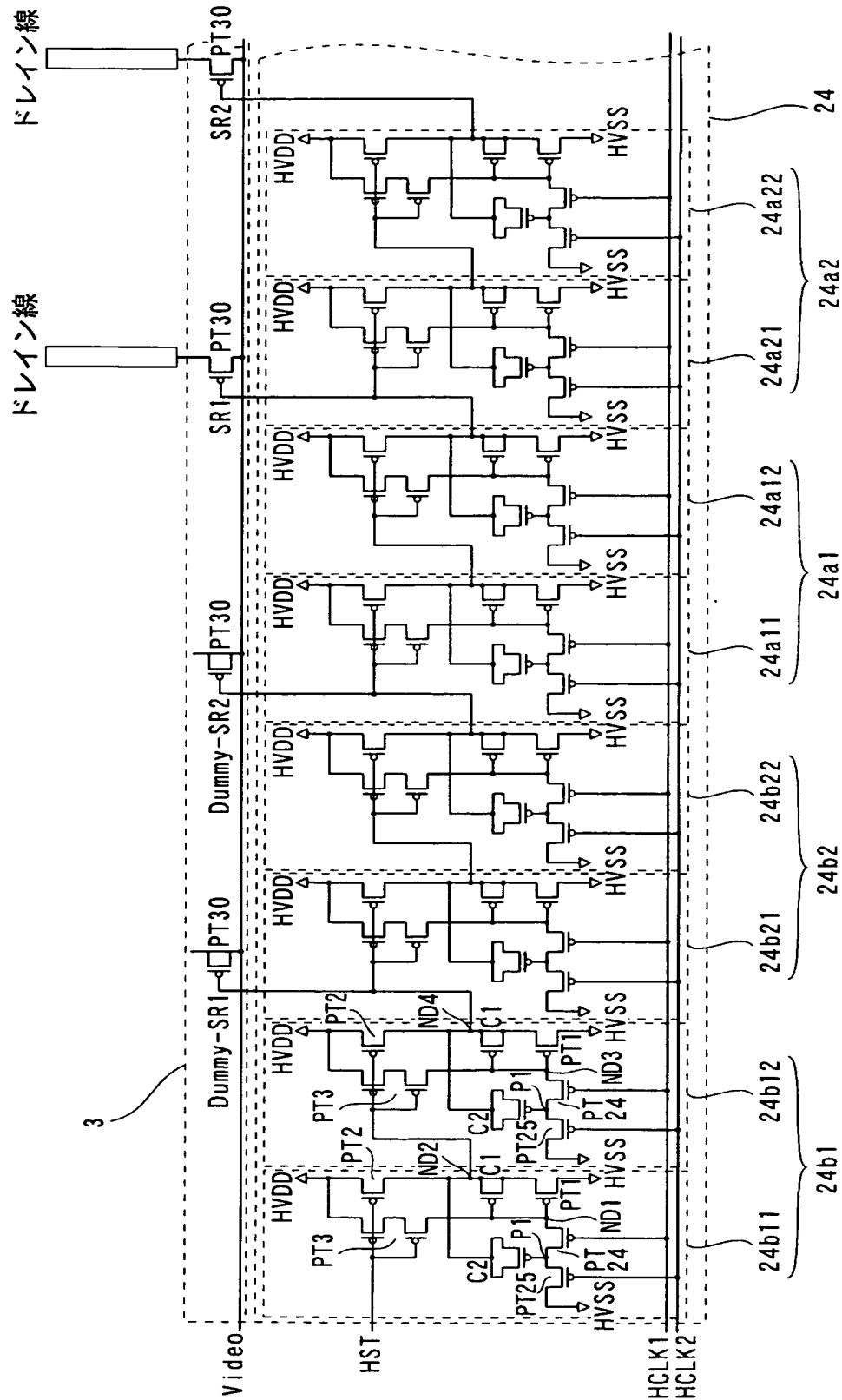
【図6】



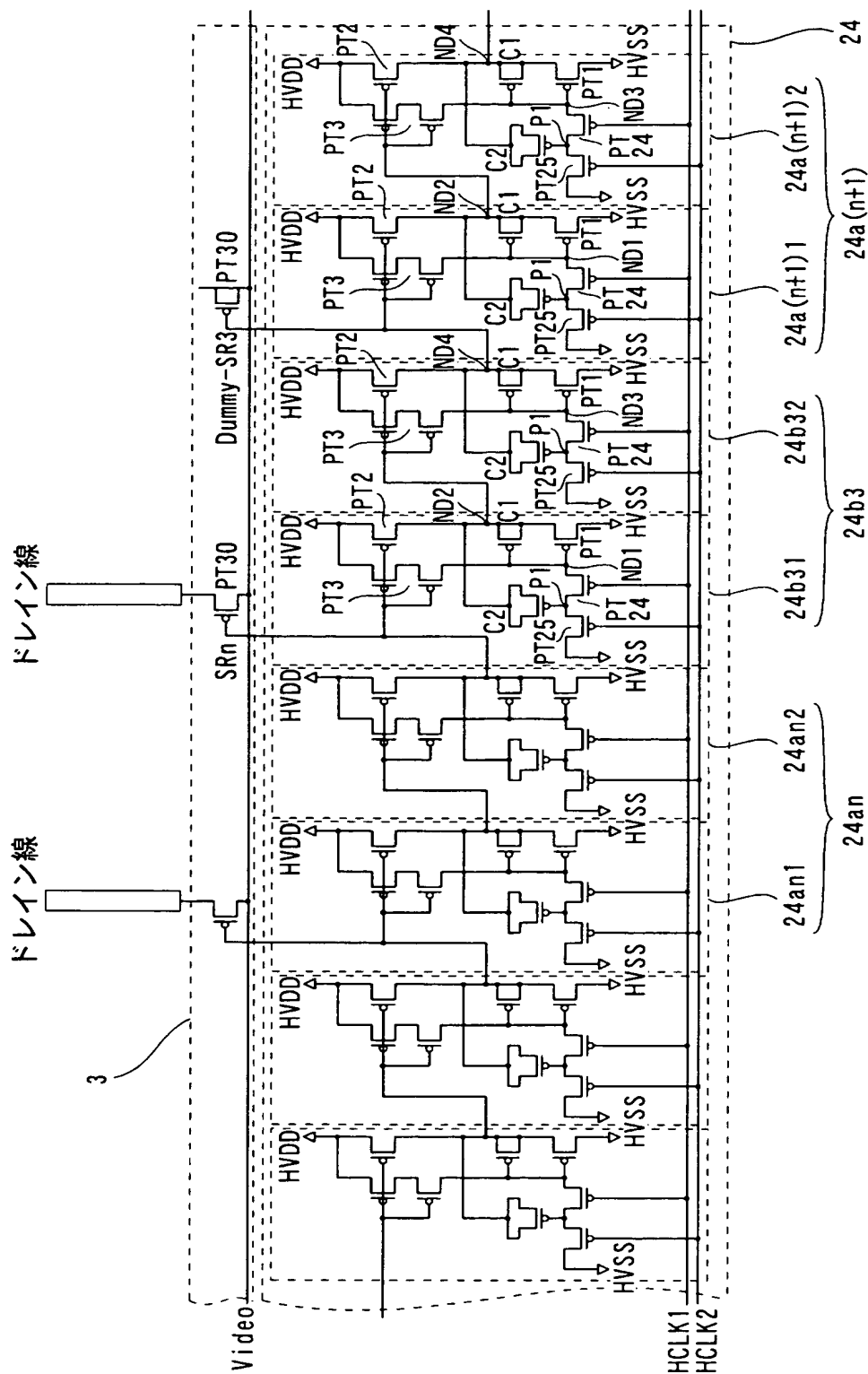
【図 8】



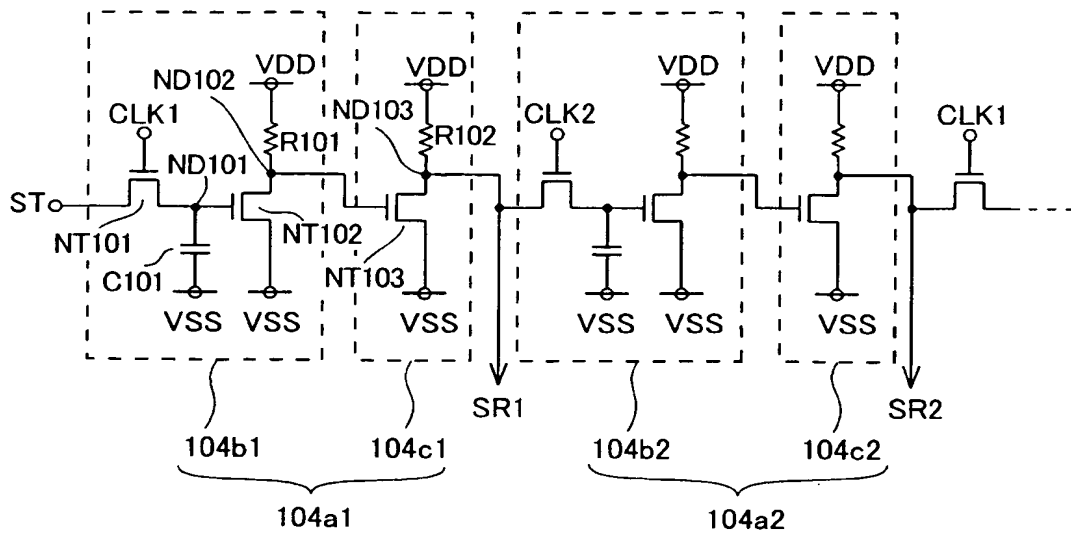
【図 9】



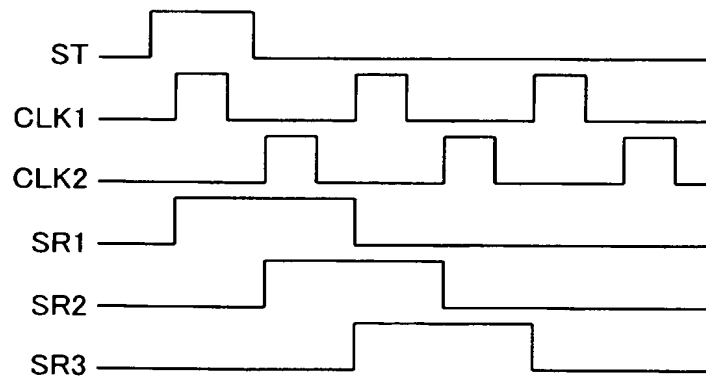
【図 10】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】消費電流が増加することを抑制することが可能な表示装置を提供する。

【解決手段】この表示装置は、画素に映像信号を供給する複数のドレイン線を順次駆動するための複数段のシフトレジスタ回路4a1、4a2、…および4anと、複数段のシフトレジスタ回路4a1、4a2、…および4anの動作開始側に設置され、ドレイン線に接続されない2段のダミーシフトレジスタ回路4b1および4b2とを備えている。また、シフトレジスタ回路4a1およびダミーシフトレジスタ回路4b1は、負側電位HVSSに接続されたpチャネルトランジスタPT1と、正側電位HVDDに接続されたpチャネルトランジスタPT2と、pチャネルトランジスタPT1のゲートと正側電位HVDDとの間に接続され、pチャネルトランジスタPT2がオン状態のときに、pチャネルトランジスタPT1をオフ状態にするためのpチャネルトランジスタPT3とを有する。

【選択図】 図2

特願 2 0 0 3 - 1 8 6 0 3 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 1 8 8 9]

1. 変更年月日 1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社